

EMC 설계 • 대책보고서

(무전극 램프용 전자식안정기)



한 국 전 파 진 흥 협 회
E M C 기 술 지 원 센 터

1. 제품사진

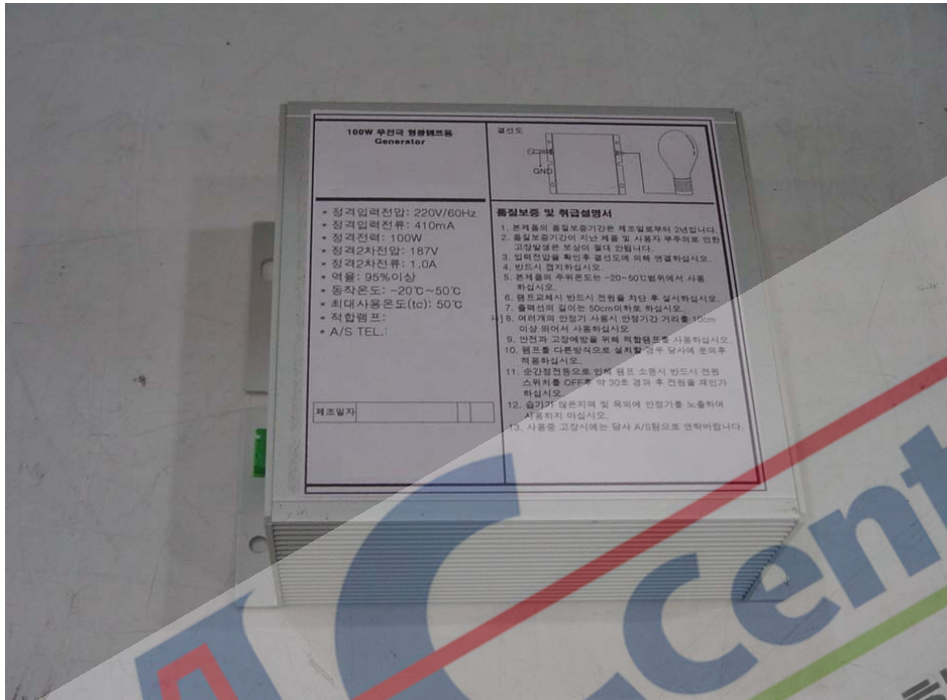


그림 1. 제품 정면도



그림 2. 제품 후면도

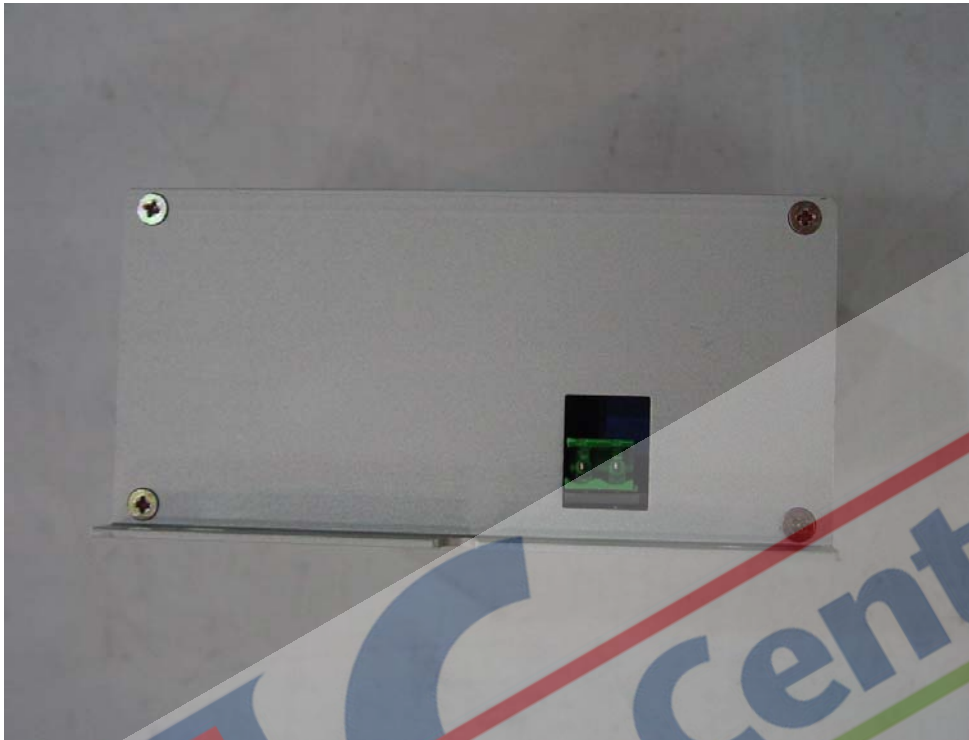


그림 3. 제품 (좌)측면도



그림 4. 제품 (우)측면도



그림 5. 제품 상면도

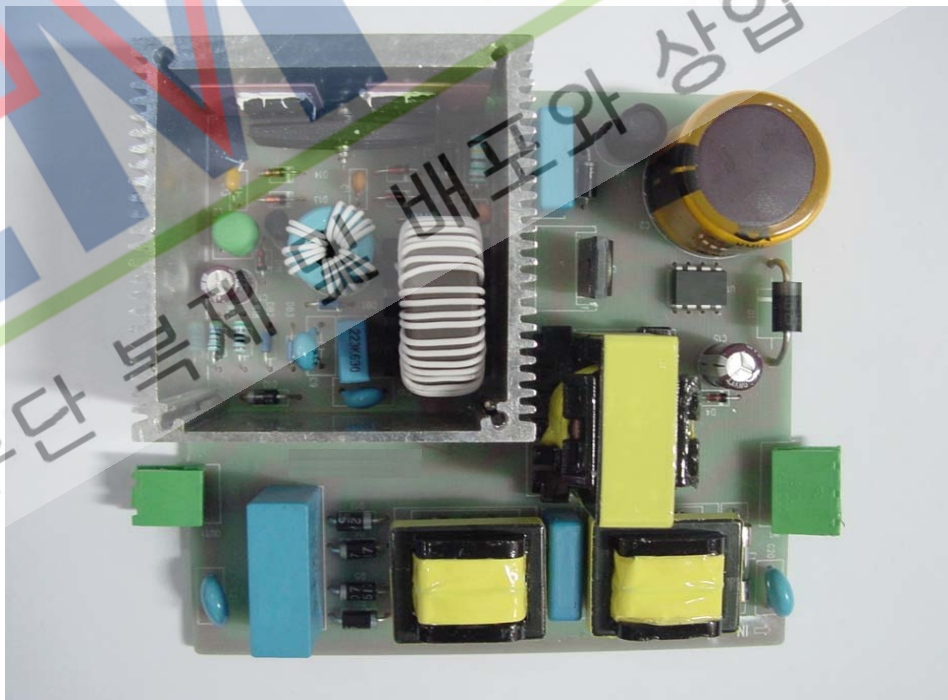


그림 6. 제품 내부사진

2. 제품의 기술적 사양 및 동작원리

입력 측으로부터 전원이 공급되면 일차 측은 Fuse 를 거쳐 노이즈 필터를 통과하여 브리지 회로를 지나고 정류(DC)화 된 전원 양단에 접속된 고주파 바이패스 콘덴서를 거쳐 PFC 전용 컨트롤러의 주 회로에 도달하여 주변부 회로의 각 소자로 설정된 적절한 값의 세팅에 의하여 코일을 통과한 2 차측 전원을 컨트롤러에 의하여 게이트가 제어되는 FET 에 의하여 드레인과 소스간 스위칭을 하여 역률 보상 및 적정 전압을 유지하도록 하며 FET 로 구성된 Half bridge 회로의 전원 전압으로 인가된다. Half bridge 회로는 각각 적절한 값을 가지고 있는 트랜스와 DIAC 및 IFT 등에 의한 세팅으로 2.4 ~ 2.7 MHz 의 주파수를 발진하며, 각 FET 의 게이트 스위칭 Source 로서 이용된다. Half bridge 의 출력은 출력단자로서 램프 측에 연결된다.

램프는 무전극 램프로서 일반적인 방전극을 가지고 있지 않으며, 안정기 회로의 출력을 받아 램프내부의 코일에 자장을 형성한다. 이 자장에 의하여 Valve 의 안쪽에 코팅된 발광체를 자극하여 빛을 만들어낸다.

▣ 제품의 사양

구 분	사 양
정격	220V, 60Hz, 0.160A
정상 작동 범위	180V~260V
무 고장 작동 범위	160V~275V
2 차 전압/전류/전력	179V/0.166A/27.5W



[부하전구]



3. 전자파대책 사전검토 및 문제 제기

3.1 시험조건에 따른 사전검토 내용 : 전기용품안전기준에 적합할 것

3.2 노이즈 소스원 분석

다음의 초기 전도, 방사 노이즈의 측정결과 파형을 보면 전자파전도 노이즈를 보면 저 대역과 일부 고 대역에서 신호가 분포되고 있음을 알 수 있다. 이는 전자식 안정기의 설계 목적과 같이 고효율 즉, 무효 전력손실을 최소화 하기 위해서 FET를 사용하여 전압과 전류의 위상을 제어함으로써 역율을 향상시킬 수 있는 동시에 파고율을 개선하여 부하측 램프의 수명을 연장시킬 수 있도록 설계되어져 있기 때문이다. 이러한 안정기 설계 목적을 유지할 수 있는 상태에서의 전자파 노이즈 대한 대책은 설계 목적과 상반되는 대책이 되어져야 하는 어려움을 안고 있는 것이다.

따라서 다음과 같은 몇 가지 사전검토와 문제를 제기할 수가 있다.

- 전원의 입력라인과 부하 측의 출력라인이 같은 단자를 사용하므로 출력라인의 전자파가 필터를 거친 라인과 함께 위치 함으로써 불요 전자파가 나타낼 수 있는 상태가 되고 있다.
- 전원의 1차 측 라인과 기구 샤시간 접지가 불완전하여 노이즈가 발생할 가능성이 있다.
- 초기 PCB 설계 시 부품과 라인간의 배치가 노이즈를 발생시킬 수 있는 요인을 제공하고 있다.

하지만 본 제품은 이미 양산된 제품으로 현 상태를 유지하면서 대책해야 한다는 어려움이 있다. 결국 다음장의 대책과정을 통해 위와 같은 문제점을 해소할 수 있다.

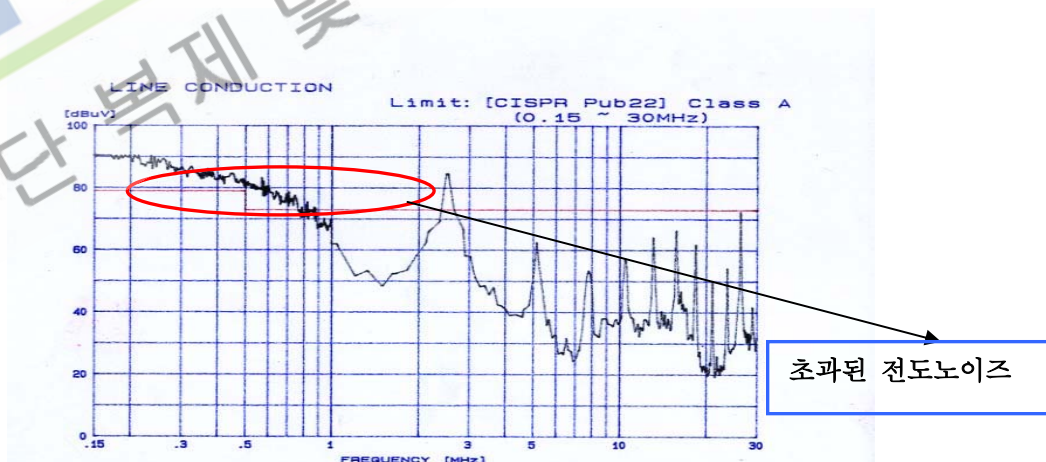
4. 노이즈/EMC 문제 분석

4.1 초기 전도 노이즈 측정결과

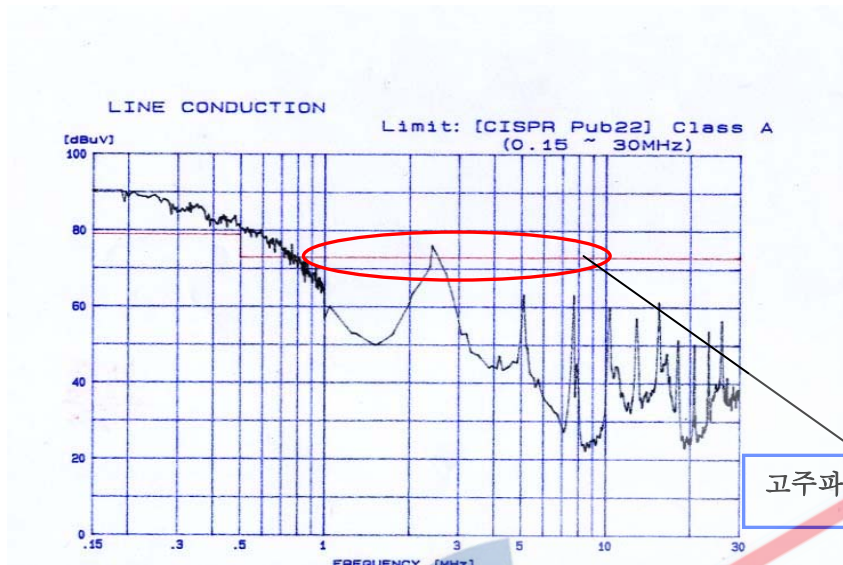


그림 7. 전도시험 SET-UP

위의 전자파전도 시험조건에 따라 제품 양산 후 최초의 전도 노이즈 측정결과 아래의 [파형 1,2]와 같이 특정대역(1MHz대 이하와 2.5 MHz대)에서 전도량이 주로 분포되어 있고, 가장 높은 레벨은 A급 기준치에 비해 10dB 이상 높은 값을 나타내고 있다.



[파형 1] 부하시 전도 노이즈 신호분포



[파형 2] 무부하시 전도 노이즈 신호분포

4.1.1 원인분석

위의 전도성 노이즈의 분포를 보면 특히 낮은 대역에서는 1차 측 전원부의 Line Filter의 Coil의 용량 값이 부적절 하거나, 전원공급 커넥터의 위치가 불안정한 경우 그리고 Signal trace Line과 Frame Ground간의 Connection이 좋지 않을 경우로 해석될 수 있다. 그리고 2.5 MHz대의 높은 대역은 안정기의 부하에 연결된 램프(Lamp)를 구동해 주는 고주파 발진 부분이 차폐(Shield)가 되지 않아 신호의 일부가 전원 라인을 타고 노이즈 형태로 나타나고 있는 현상이다.

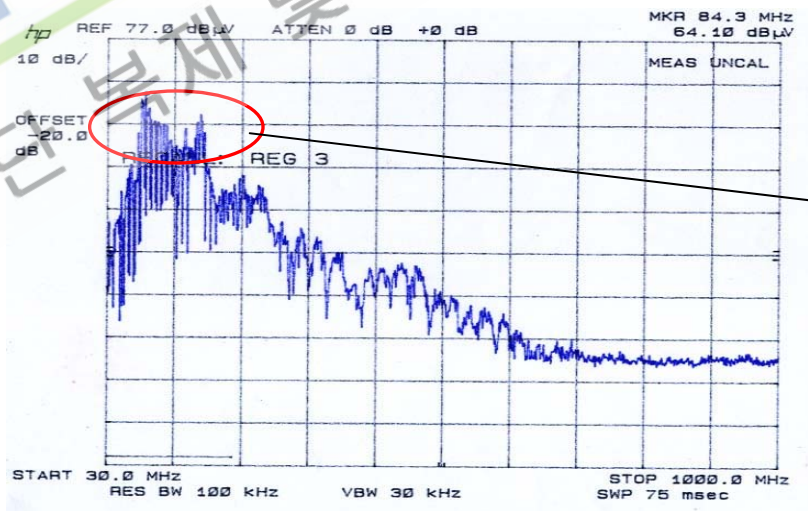
특히 2.5 MHz대의 높은 대역에서의 신호레벨을 살펴보면 부하시는 고주파 발진부의 동작으로 인한 신호레벨이 증가하고 있으며, 무부하 시에는 위의 발진부의 동작이 멈춤으로 인해 신호레벨이 부하시 보다 약 10 dB이상 감소됨을 알 수 있다.

4.2 초기 방사 노이즈 측정결과



그림 8. 방사시험 SET-UP

위의 전자파방사 시험조건에 따라 제품 양산 후 최초의 방사 노이즈 측정결과 아래 [파형 3]과 같이 저 대역에서 방사량이 주로 분포되어 있고, A급 기준치에 비해 40dB 이상 높은 값을 나타내고 있어 이에 대한 원인 분석과 대책을 강구해야 할 필요성이 있다.



초과된 노이즈

[파형 3] 초기 방사 노이즈 신호분포



4.2.1 원인분석

위의 방사 노이즈의 분포 특성상 L과 N으로만 설계된 제품으로 Ground에 취약하고, 양 보드간 Ground 전위차로 인해 발생하는 유동성 노이즈가 소진될 수 있는 통로가 설계되어 있지 않다. 또한 전원선 접지가 없어서 제품 자체의 전도 노이즈 뿐만 아니라, 보드간 Impedance 부정합에 의해 발생하는 노이즈가 샤시 및 PCB Board 접지 부분 등으로 유입되어 소멸되지 못하고 계속 시스템 자체에 머물러 있음으로써 시스템 전체가 방사성 노이즈의 지배를 받게 된다. 그리고 전도성 노이즈 원인분석에서 언급한 바와 같이 1차측 전원부의 Line Filter의 Coil의 용량값이 부적절 하거나 Signal trace Line과 Frame Ground간의 Connection이 좋지 않을 경우로도 원인을 찾을 수 있다.

5. EMC를 고려한 설계·대책 및 결과

5.1 전자파대책 실시

위의 초기 전도 및 방사 노이즈를 억제하고 전자파 환경을 개선하기 위한 대책으로 다음과 같은 대책을 실시하였다.

- 1차측 전원공급부의 라인필터의 용량과 차단특성을 개선함
- 전원공급부의 단자위치변경 및 PCB 패턴 수정
- 접지라인을 PCB 패턴으로 처리
- Half bridge 출력부 쉴드작업

5.1.1 라인필터 수정

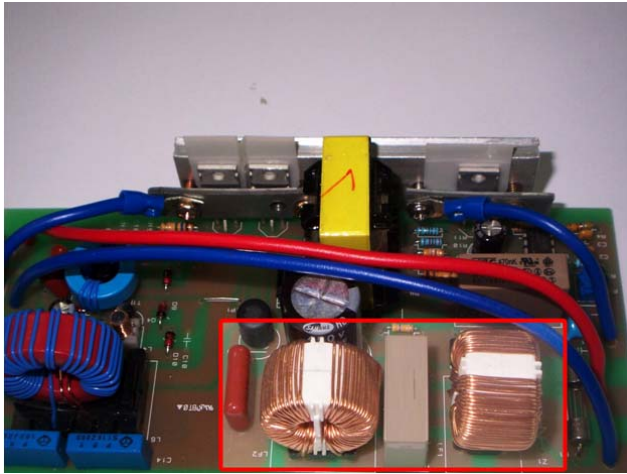


그림 9. 라인필터 수정 전

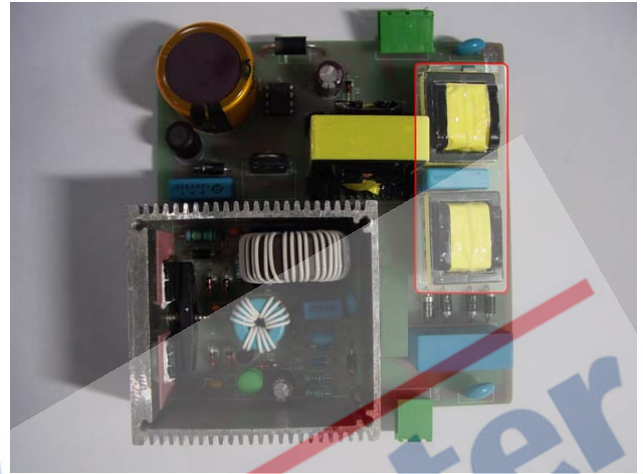


그림 10. 라인필터 수정 후

위의 그림 9, 10과 같이 Line Filter의 용량 값을 L1, L2가 70 mH에서 L1(30mH)와 L2(50mH)로 변경하였고, 대역을 1 KHz의 저 대역 차단특성을 고주파특성에 맞도록 회로를 대폭 개선하였다.

5.1.2 전원 공급부 수정

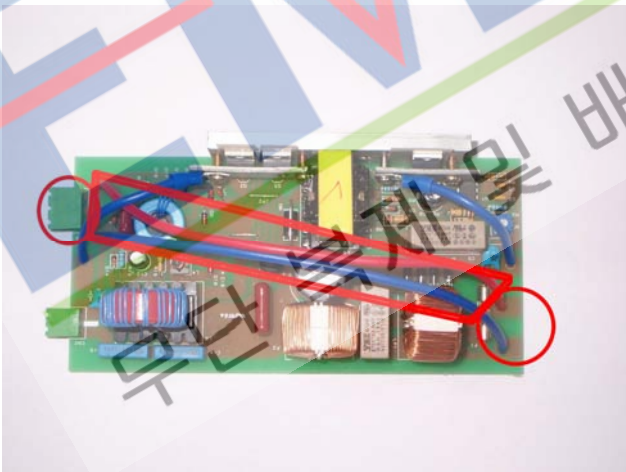


그림 11. 전원 공급부 수정 전

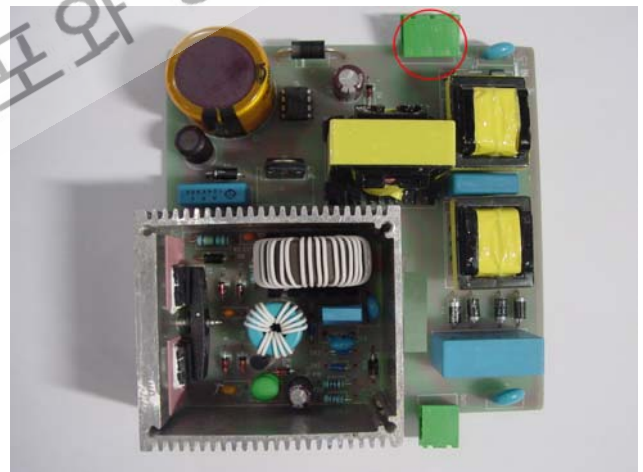


그림 12. 전원 공급부 수정 후

위의 그림 11, 12와 같이 전원 공급부 단자의 위치가 그림 11에서와 같이 회로의 라인 필터가 위치하고 있는 부분에서 먼 곳에 배치되어 있어, 결국 라인 필터부를 지나 Line 을 배치하다 보니 부하단에서 발생하는 고주파 노이즈가 발생할 수 있는 요인을 제공하였다. 따라서 위의 영향을 억제하고자 전원공급 단자의 위치를 바꾸고, 연결라인을 없앴다.

5.1.3 접지라인 수정

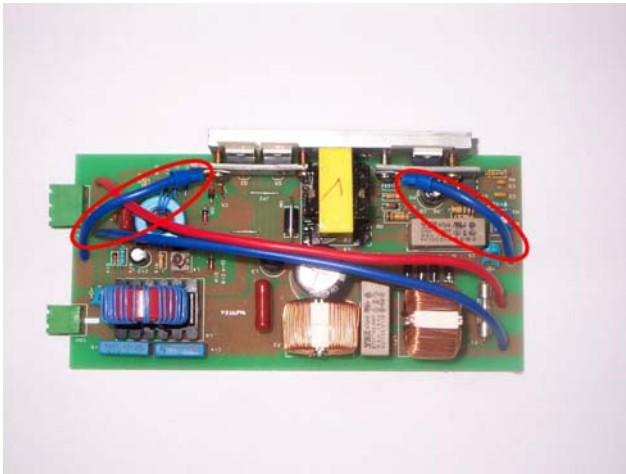


그림 13. 접지 수정 전

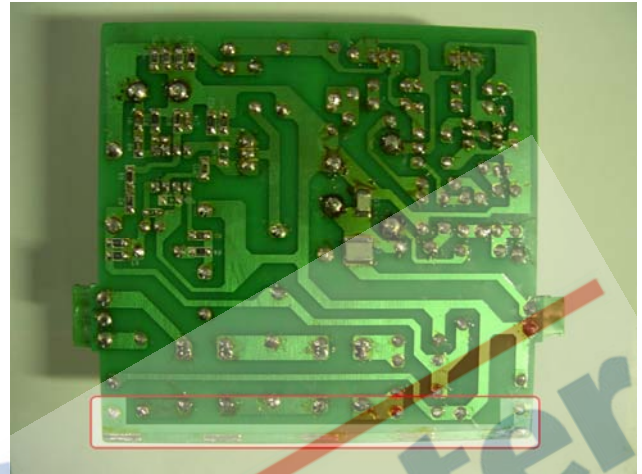


그림 14. 접지 수정 후

위의 그림 13과 같이 처리되었던 접지 라인을 그림 14과 같이 Line을 없애고 PCB 패턴으로 처리하여 접촉불량으로 인한 노이즈 발생 가능성을 근본적으로 배제하였다.

5.1.4 Half bridge 출력부 실드 작업

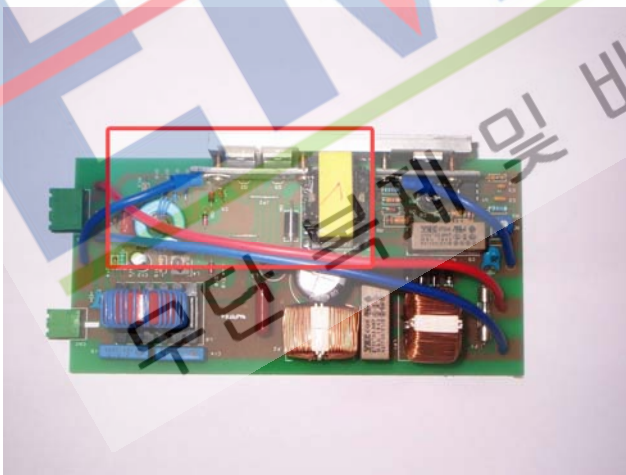


그림 15. Half bridge 수정 전

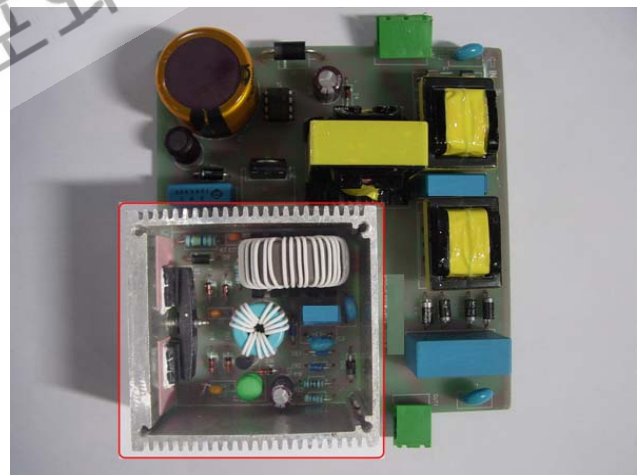


그림 16. Half bridge 수정 후

위의 그림 15, 16과 같이 최종 출력부인 Half bridge회로에서 발생되는 고주파 노이즈의 방사를 없애기 위하여 실드(Shield) 처리를 하였다.

5.3 전자파대책 결과분석

5.3.1 대책 후 결과파형

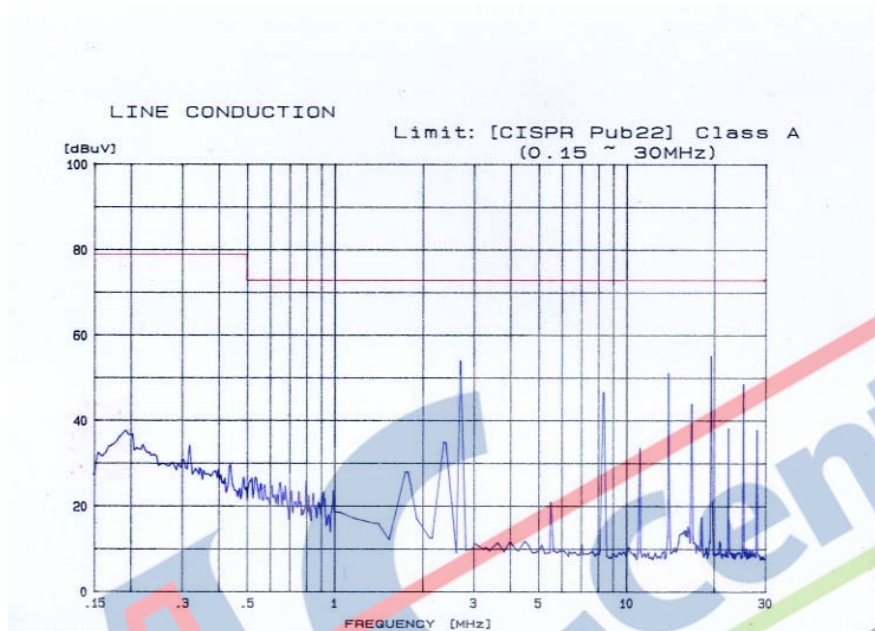


그림 17. 제품대책 후 시험결과 (CE)

5.3.2 대책 후 결과분석

본 제품은 특히 부하 측에 고용량, 고효율을 전달해 줄 수 있는 회로를 구현해야만 무전극 램프가 동작하기 때문에 효율과 용량을 저해할 수 있는 요인들을 찾아 사전에 제거해야 하는 것이 중요하다고 볼 수가 있다.

따라서 위와 같은 대책과정과 개선으로 인해 기준에 충분한 마진을 확보할 수 있는 신호특성을 얻을 수 있었고, 어느 제품이나 마찬가지로 전도나 방사 노이즈가 발생하는 부분 전원 공급부, 접지처리, 노이즈 제거부품, 신호라인의 굵기와 길이 및 간격 그리고 고주파 신호 생성부의 차폐처리가 노이즈를 억제할 수 있는 가장 큰 요인이라고 볼 수가 있다.

6. 시험에 따른 설계·대책 측정결과 및 분석

6.1 라인필터(Line Filter)수정

1. LINE INDUCTOR를 L1, L2의 70mH를 L1(30mH)와 L2(50mH)로 증가시켜 교체함
2. 위의 교체에 따른 PCB Pattern수정



위의 수정결과 전원 노이즈 감소와 누설전류가 억제되었다.

6.2 전원 공급부 수정

1. 전원라인(power Line)의 위치변경
2. 전원부 전체위치 변경 및 공급 Line 제거

위치변경 및 제거 후 위의 전도 노이즈 영향을 줄일 수 있었다.

6.3 접지라인 수정

1. 전원라인(power Line)의 위치변경
2. 접지라인 대신 PCB Pattern으로 처리

위치변경 및 대체결과 위의 영향을 줄일 수 있었다.

6.4 Half bridge 출력부 차폐

부하 램프를 구동 시키는 마지막 종단부인 Half bridge 출력부를 모두 차폐(Shield)한 결과 초기 방사측정 시 문제가 된 고주파(2.5 MHz)대역에서의 방사신호 레벨이 대폭 줄어들었다.

7. 설계 대책 디자인 Rule

본 장에서는 아래의 몇 가지를 고려하는 조건하에 설계 대책이 이루어졌다.

1. 초기 제품 설계시 전원 공급단에 연결된 접지라인이 불완전하게 기구와 연결되지 않았는가?
2. 전원 노이즈 제거 필터의 적절한 용량 선택과 PCB Pattern을 노이즈 제거 차원에서 고려하였는지?
3. 전원라인의 위치를 노이즈 제거 필터와 가깝게 배치하였는가?
4. 부하에 에너지를 전달해주는 고주파 부분의 차폐가 잘 되었는가?
5. 다음으로 입력 전원선과 부하측의 전구에 전원 공급선이 각각 분리되어야 하고 가능하면 부하 전원 공급선은 패턴의 위치와 가장 가까운 장소를 택해야 한다. 그리고 전원의 필터부는 충분한 공간을 확보하여 필요시 필터단을 추가 할 수



있는 구조여야 한다.

종합적으로 살펴볼 때 본 제품의 전자파 노이즈 측면에서 문제 제기와 같이 전원의 필터부의 역할이 무용화 되는 전원 공급선과 부하측 공급선이 혼재해 관계로 노이즈의 대책에 어려움이 컸다.

내용을 정리하면 아래의 표와 같다

Design Rule	내 용
전원부 수정 및 라인위치 변경	1차측의 전원라인의 위치를 LF(라인필터)측으로 변경 하고 접지라인을 PCB Pattern으로 대체하여 부품과 라인배치를 적절히 취해줌으로써 전원 노이즈의 전도량을 줄일 수 있도록 함.
Grounding Design	CM(공통모드)와 DM(차동모드)의 노이즈 발생요인을 사전에 제거하고 철저한 Grounding을 시켜줌.
Line Filter 용량 적정선택	Inductor를 감소시켜 LPF의 특성을 목적에 맞게 설계 시키고 LOOP Back 신호의 Return상태를 억제하여 결국 노이즈를 제거함.

8. 종합적인 기술지원 내용분석

전원 공급부의 접지라인이 기구(Frame)와의 접지가 불안정하였고, 1차 측의 전원 공급부가 노이즈 억제 필터와 정반대의 위치에 놓이다 보니 기준 접지면과의 임피던스 부정합과 함께 CURRENT의 일부 RETURN 현상이 나타났다. 특히 필터의 인덕터 용량이 적다 보니 전원주파수 외 고조파 성분들의 불요한 노이즈 억제가 불완전하여 30mH와 50mH로 낮추었다. 전체적인 Grounding이 양호하게 이루어지지 않아 PCB Pattern을 이용한 접지 작업을 실시하였으며, 특히 초기 신호 측정 시 발생하는 고주파성분의 신호를 억제하기 위해 부하(무전극 램프)에 연결된 고주파부를 완전히 차폐(Shield)를 하여 방사신호의 레벨을 억제하였다. 또한 앞에서 언급한 초기 접지면이 전혀 없는 PCB의 특성상 0 옴에 가까운 낮은 임피던스로의 전류의 흐름을 확보하기 위해서 전원의 필터단을 이용하여 CURRENT RETURN



PASS를 만들어 줌과 동시에 현저히 낮은 인덕터의 값을 증가시키고 1단의 필터를 추가하여 부하 측으로부터 전원 노이즈를 제거하였다.

회로설계자의 주의를 요한 부분은 FET의 빠른 클럭 신호와 LC공진회로의 가까이에 샴시를 같이 연결하는 구조는 바람직하지 않다. 이들의 임피던스의 겹으로 발생할 수 있는 RF 노이즈 역시 전자파 전도 노이즈에 영향을 주어 노이즈가 발생하는 현상을 고려한 설계가 요구된다.

9. 향후 제품설계에 반영되어야 할 방향

향후 제품에 반영할 사항은 설계 이전에 전자파의 영향을 고려한 부품의 위치 선정과 전원의 1차 측과 2차 측의 구분으로 부하 측에서 영향을 받을 수 있는 요소를 미리 대비하여 설계하는 것이 중요하다.

다층기판을 이용한 부품 설계 시 Signal trace와의 연결 작업 즉, Via 나 Pad의 위치와 크기 선정이 중요하다. 과거 아날로그 신호에서 최근에는 디지털신호가 주종을 이루기 때문에 time delay 와 Group delay를 최소화 하고, 데이터의 Error를 방지하기 위해 적절한 신호 라인의 굵기와 간격(보통 파장의 3배정도) 그리고 동일한 길이를 선택하여야 한다. 또한 PCB 자체의 유전율과 균등한 임피던스를 갖는 기판을 선택하여 근본적인 저대역 노이즈를 제거하는 수동소자 (R, L, C)의 용량값과 소자수를 적절한 조합으로 사용하여 넓은 접지면을 확보하여 전류의 흐름을 원활하게 할 것이 요구된다.