

# EMC 대책 • 설계 보고서



한 국 전 파 진 흥 협 회  
부 설 EMC기술지원센터

## 1. 제품사진



그림 1. 제품 정면도

그림2. 제품 후면도

## 2. 제품의 기술적 사양

이 제어기는 TFT 액정 Module용 신호를 발생하도록 설정된 패턴화상을 표시하기 위한 것입니다. 단지 신호발생만이 아닌, 전원전류의 감시 등의 기능을 가지고 있어, Module 검사 공정에서 사용하는 것을 목적으로 만들어진 것입니다.

신호 타이밍 등도 프로그램 할 수 있으므로 다양한 Module에 대응이 가능하며, 상·하한 조건의 검사를 용이하게 할 수 있습니다.

또한, 좌표 결점을 지정하기 위한 십자커서 표시 기능을 가지고 있기 때문에 패널 검사 과정에서 마지막 Module 검사 과정까지 일관성을 가지고 동일한 한 검사가 가능합니다.

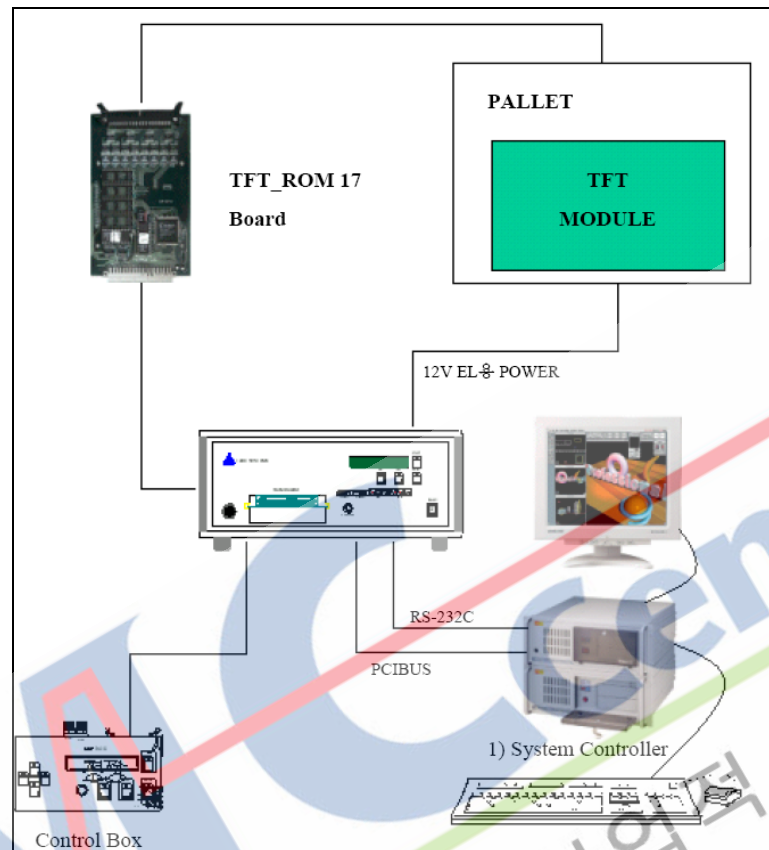


## 2.1 제품의 사양 및 동작 원리

## - 제품의 사양

전원	110 / 220 VAC. 50 / 60 Hz
데이터 폭	SVGA : RGB 각 8 bits Dual XGA : RGB 각 8 bits Dual SXGA : RGB 각 8 bits Dual UXGA : RGB 각 8 bits Dual
데이터 Clock	SVGA : max. 40MHz XGA : max. 65MHz Single max. 75MHz Dual SXGA : max. 65MHz Single max. 130MHz Dual UXGA : max. 81MHz Single max. 162MHz Dual
X size	max. 1600 x 3 (R,G,B)
Y size	Max. 1200 dots
Display Memory	SVGA, XGA : 1 Frame 262,144 bytes x (RGB) SXGA : 1 Frame 262,144 bytes x (RGB) x 2
액정 Controller용 Clock	SVGA : 1MHz ~ 40MHz 1Hz 단위 XGA : 1MHz ~ 75MHz 1Hz 단위 SXGA : 1MHz ~ 130MHz 2Hz 단위로 설정가능
액정용 전원	Vdd : 0 ~ 6V Vee : Max. 15V Idd : Max. 2000mA Iee : Max. 1000mA
Backlight 전원	Inverter용 12V 내장 / max. 2A

## - 구성



TFT\_ROM17 B/D는 TFT의 신호 및 POWER를 공급하는 기능을 하는 보드입니다.

### <ON인 경우>

- 1.Vdd, Vee, 0V 신호 High Impedance(10K에서 중단)
- 2.Vdd, Vee 반도체 Relay ON , back light 전원 ON
- 3.Vdd 를 설정치로 한다.
- 4.TSO 대기
- 5.신호 출력
- 6.TSI 대기
7. Vee를 설정치로 한다.
- 8.TS2대기
- 9.DISP ON
- 10.TS2대기
11. 전류 감시 시작

### <OFF인 경우>

- 1.DISP OFF 전류 감시 중지
- 2.TE0대기
3. Vee 0V
- 4.TE1 대기
- 5.신호 OFF 0 이됨
- 6.TE2대기
- 7.Vdd 0V
8. Vdd, Vee, Relay OFF



## 2.2 PCB 구조 및 회로도 사양

### – Main PCB 구조

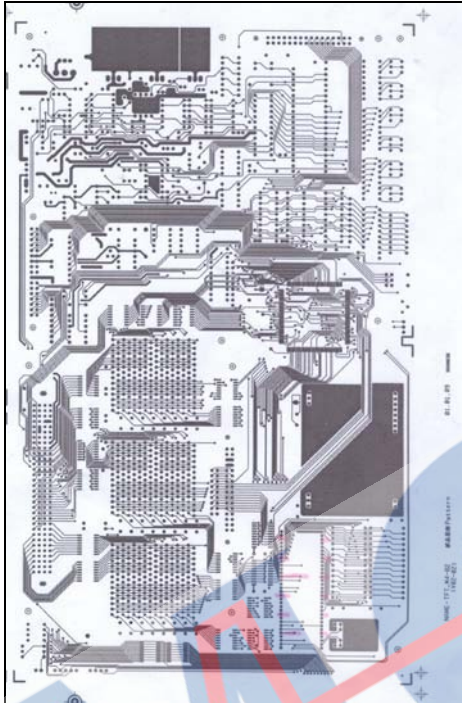


그림3. TOP PCB

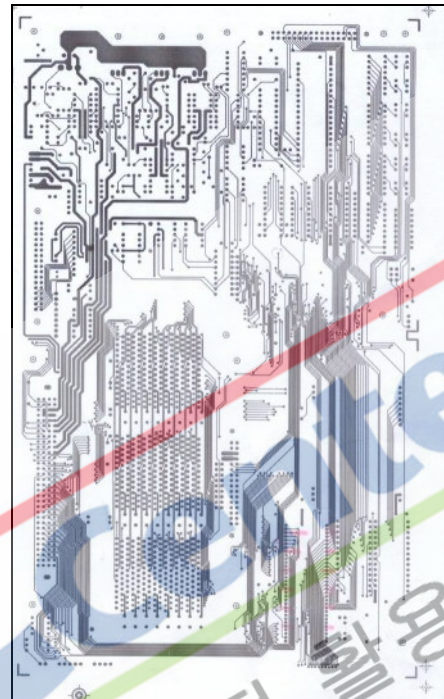


그림4. BOTTOM PCB

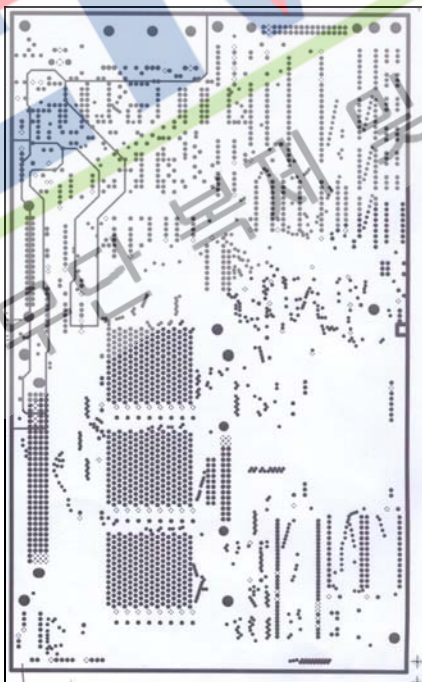


그림5. VDD PCB

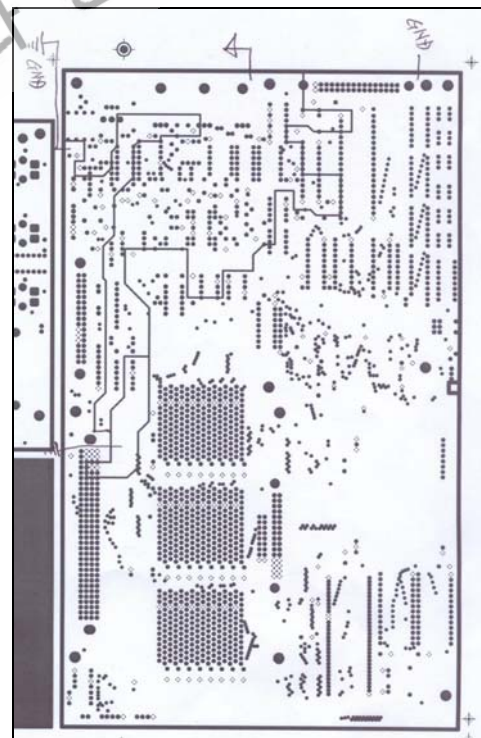


그림6. GND PCB

## 3. 전자파 문제 사전 검토 및 문제 제기

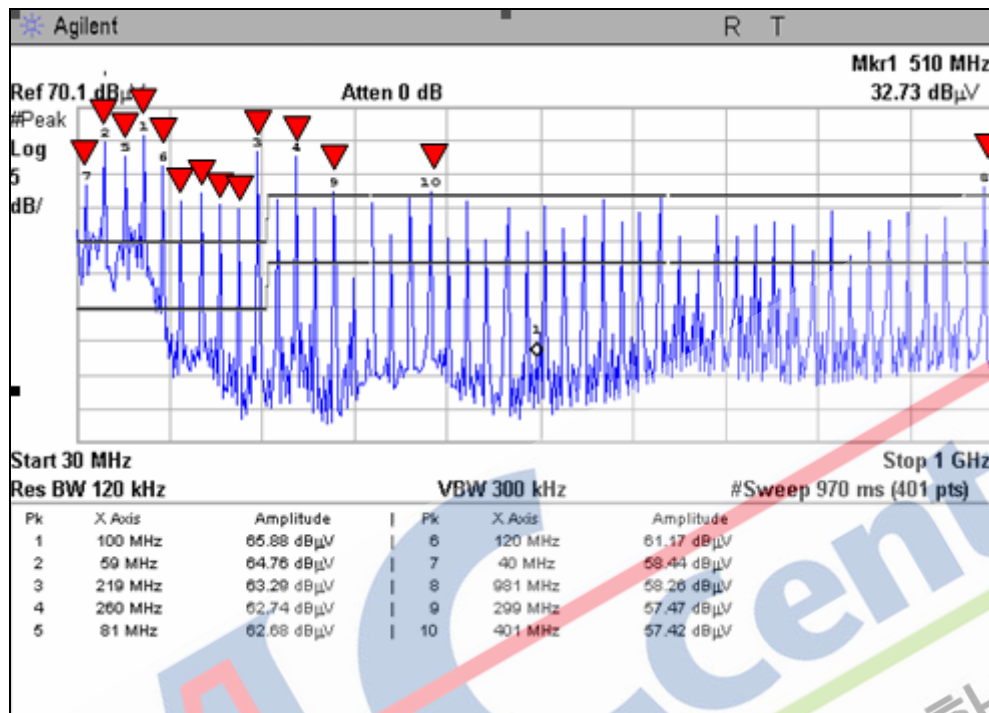


그림 7. 초기 스캔 데이터(수직)

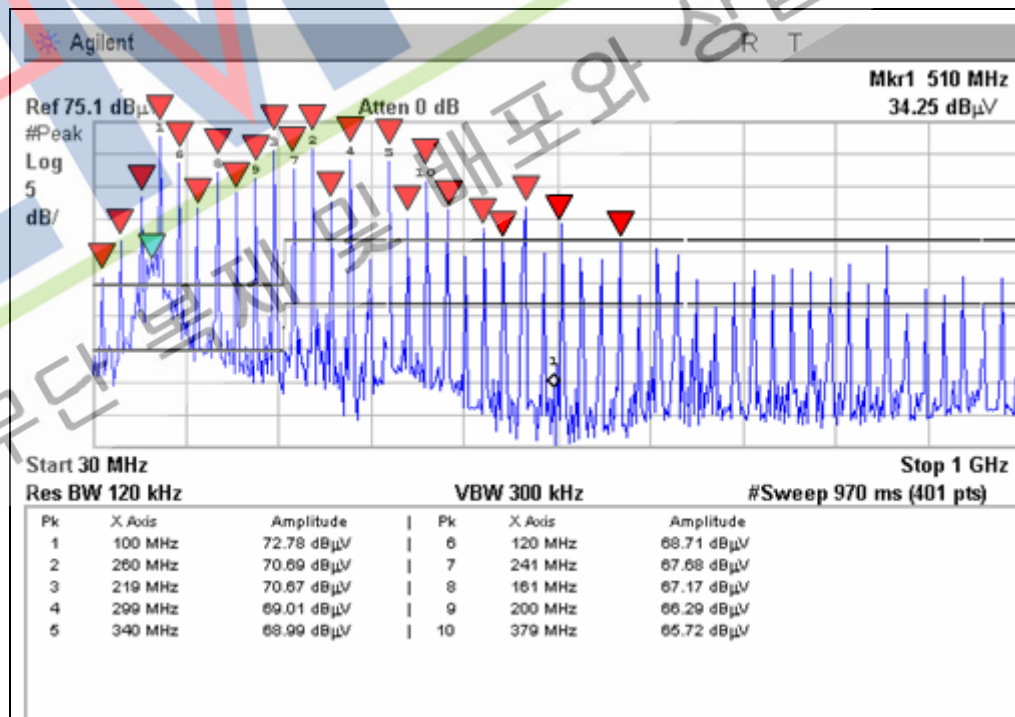


그림 8. 초기 스캔 데이터(수평)

그림 7.은 LCD 패널에 연결된 상태에서 측정한 결과 20Mhz Harmonic(붉은 화살표 부분)과 GND의 연속성이 패턴으로 연결되어 있어 90Mhz에서 Broadband성 Noise가 발생하고 있다. 초기 측정한 결과 100Mhz에서 최대 23dB가까이 초과 하고 있다. 현재 의뢰된 제품은 기구물에 비전도성 도료가 적용 되어있고, 내부 각각의 Cable에 2개 이상의 Core 가 적용되어 있다. 그리고 LCD 패널과 연결된 Cable은 Shield Cable이 적용되어 있다. 현재 상태로는 양산성 문제를 야기하고 있으며 의뢰업체가 EMI 대책 뿐만 아니라 이러한 양산성 문제도 해결을 요청하였다.

#### 4. 노이즈/EMC 문제 분석

##### 4.1 초기 제품의 시험결과 (동작 조건에 따른 시험결과)

먼저 LCD 패널과 연결된 Cable에 얼마나 영향이 있는지를 알기 위해, 정상 동작 중 LCD와 연결된 Cable을 Connector에서 뺀 결과 다음과 같은 결과를 얻었다.

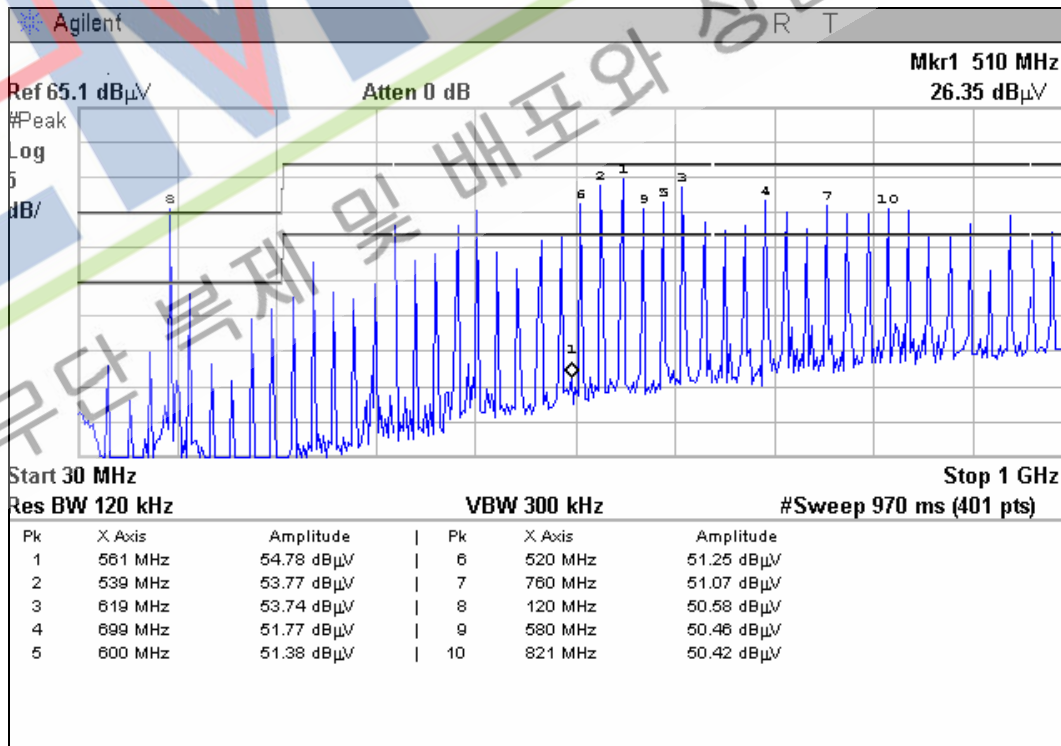


그림 9. System 단독으로 측정한값(수평)



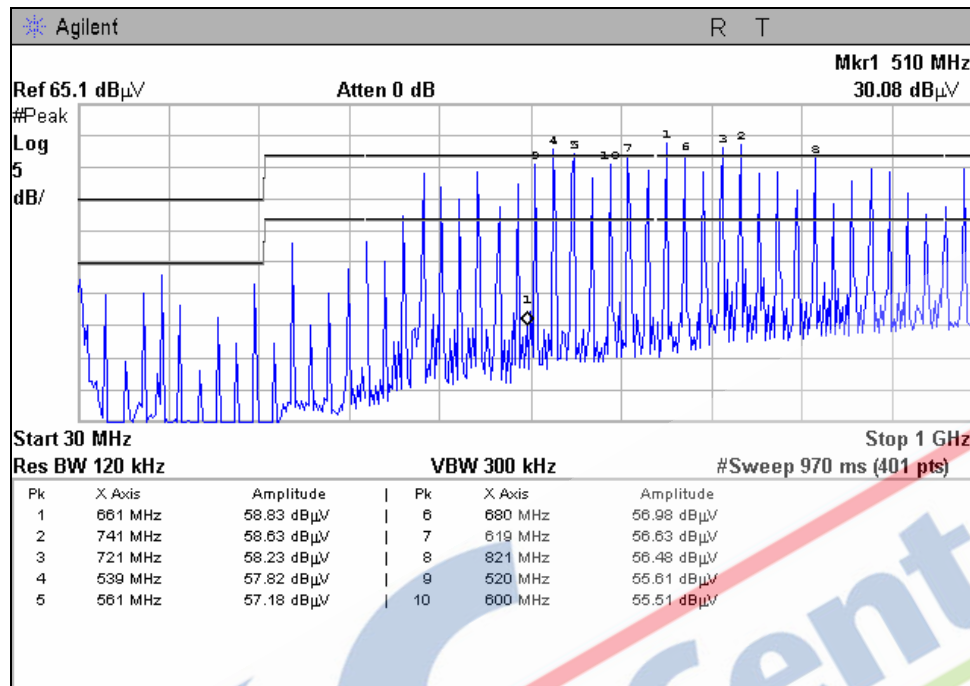


그림 10. System 단독으로 측정한값(수직)

- System 내부의 PCM Board를 뺀, 순수한 Main Board만을 측정한 결과 다음과 같은 결과를 얻었다.

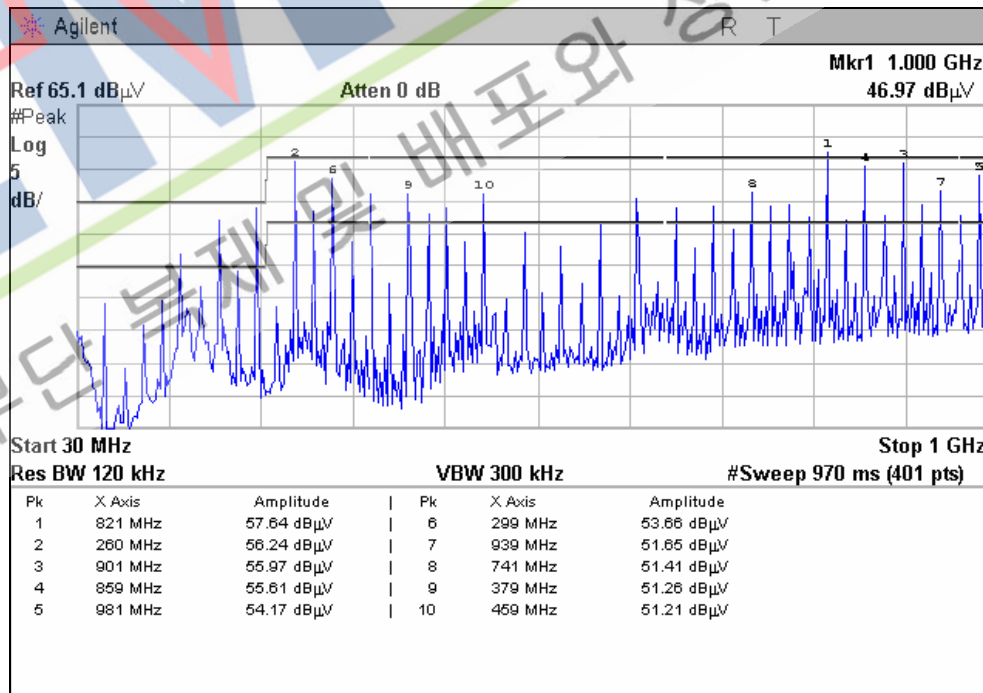


그림 11. PCM Board를 뺀 결과(수평)



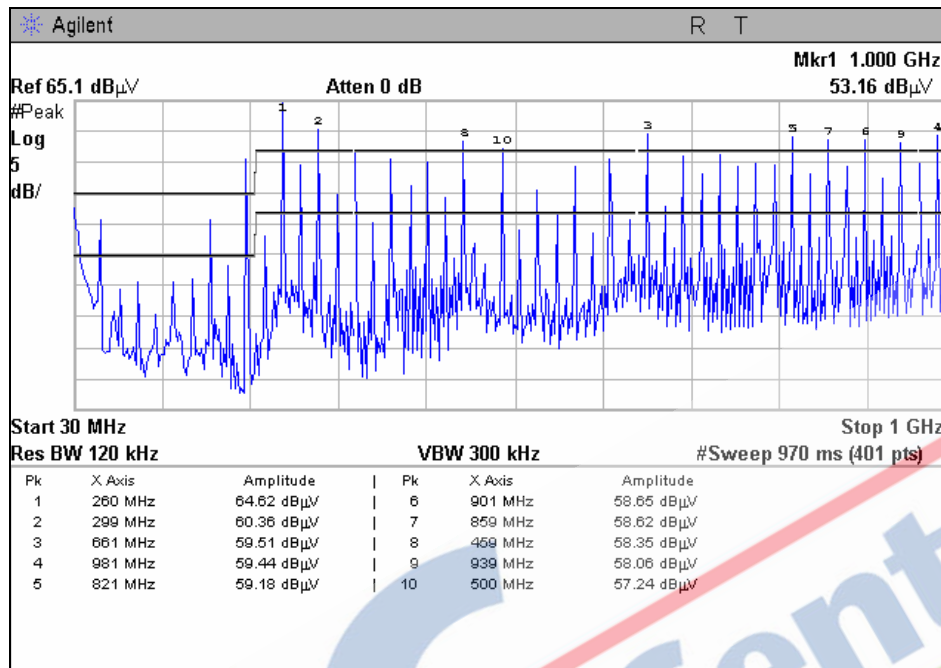


그림 12. PCM Board를 뺀 결과(수직)

## 4.2 소스원 분석

### (1) 각 회로 별 노이즈 소스원 분석

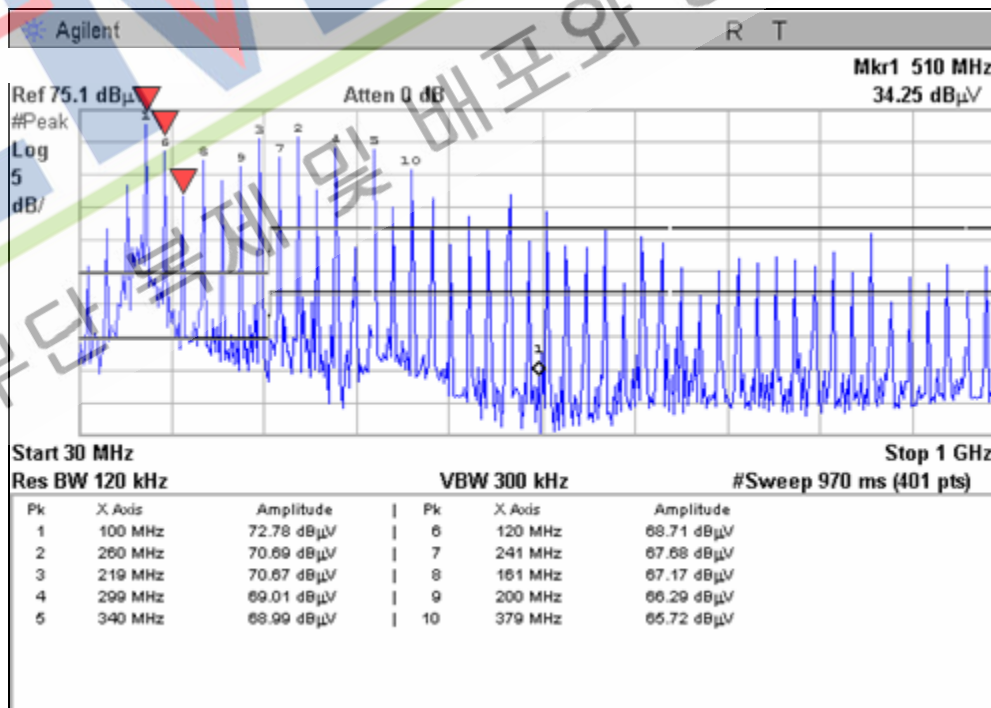


그림 13. LCD 패널 Cable 연결시

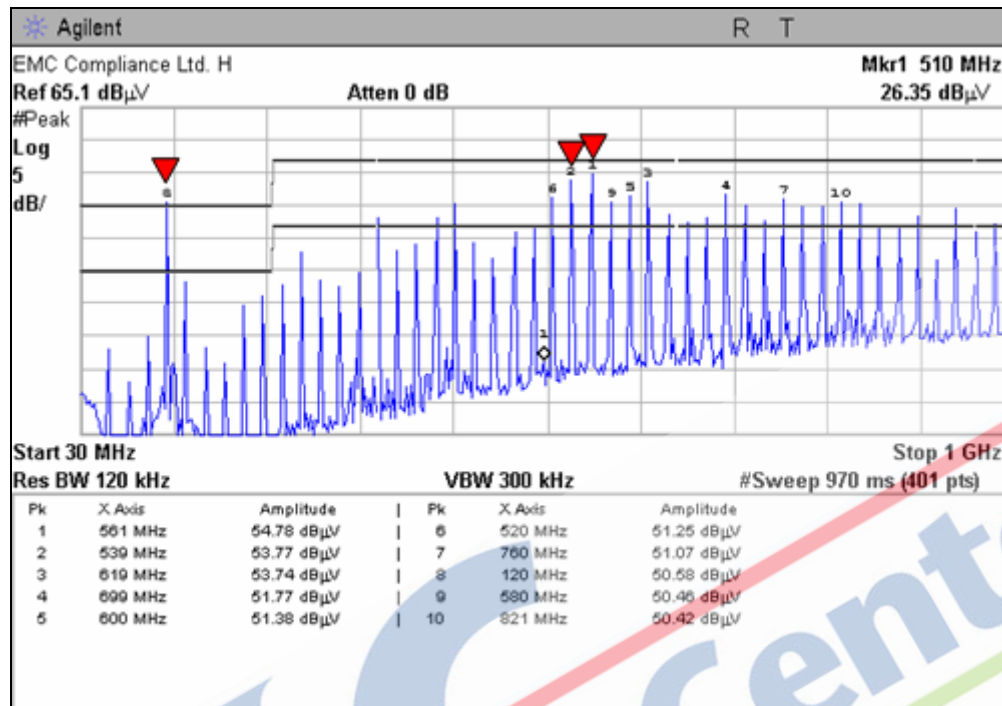


그림 14. LCD 패널 Cable을 뺀 상태

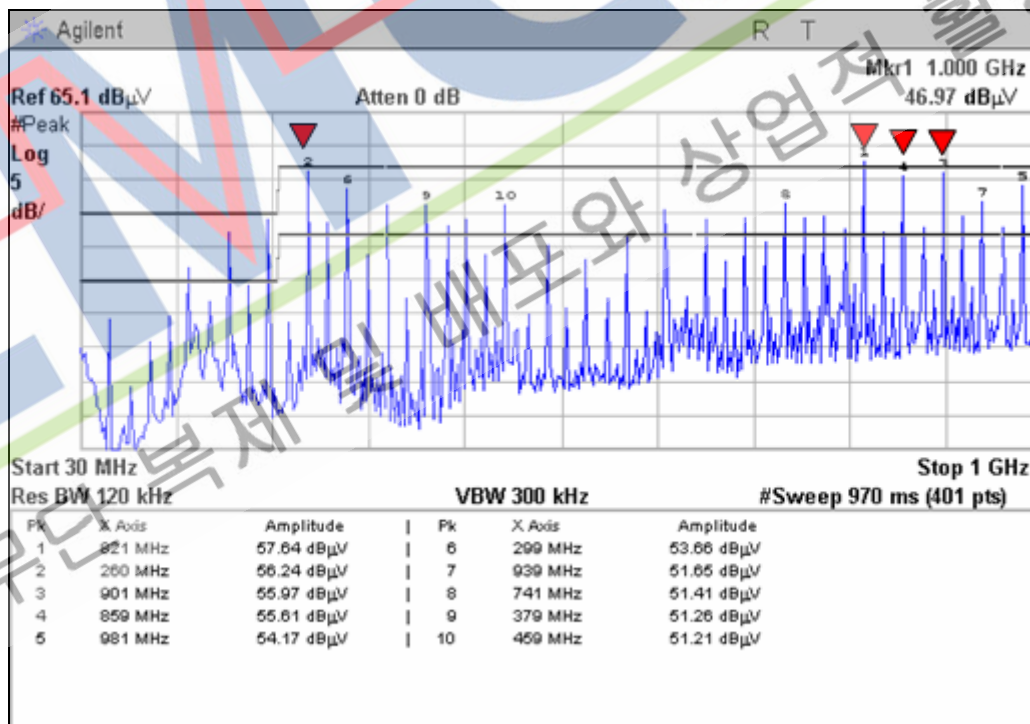


그림 15. PCM Board를 뺀 상태

그림 .15는 Main Board 단독 상태에서 Power만 연결하고 Scan 한 데이터이다.

260 Mhz와 820 Mhz에서 Noise가 많이 나온다는 것을 알 수 있다.

그림 8.는 LCD 패널 Connector를 뺀 상태로 System 단독으로 측정한 결과이다.

120Mhz와 560Mhz에서 Noise가 많이 나온다는 것을 알 수 있다. 여기서 마치 그림8의 데이터가 그림9의 데이터보다도 좋은 것처럼 보일 수 있으나, 실제 디버깅 하고 있는 System의 Case가 철로 되어 있고, 조립할 때 마다 상이한 결과를 얻고 있다.

그림A는 정상 동작되고 LCD 패널을 연결한 상태에서 측정한 것으로 100Mhz에서 500Mhz까지 넓게 Noise가 발생한 다는 것을 알 수 있다.

여기서 데이터를 비교하면 Main Board의 Noise가 PCM Board를 거쳐 LCD 패널 연결 Cable을 통해 그대로 나온다는 것을 알 수 있다. 그리고 또 한가지 조립 상태에 따라서는 데이터가 많은 변화가 발생되고 있다는 것을 알 수 있다.

## (2) PCB 관련 노이즈 소스원 분석

### 1) 시스템 구성에 대한 소스원 분석

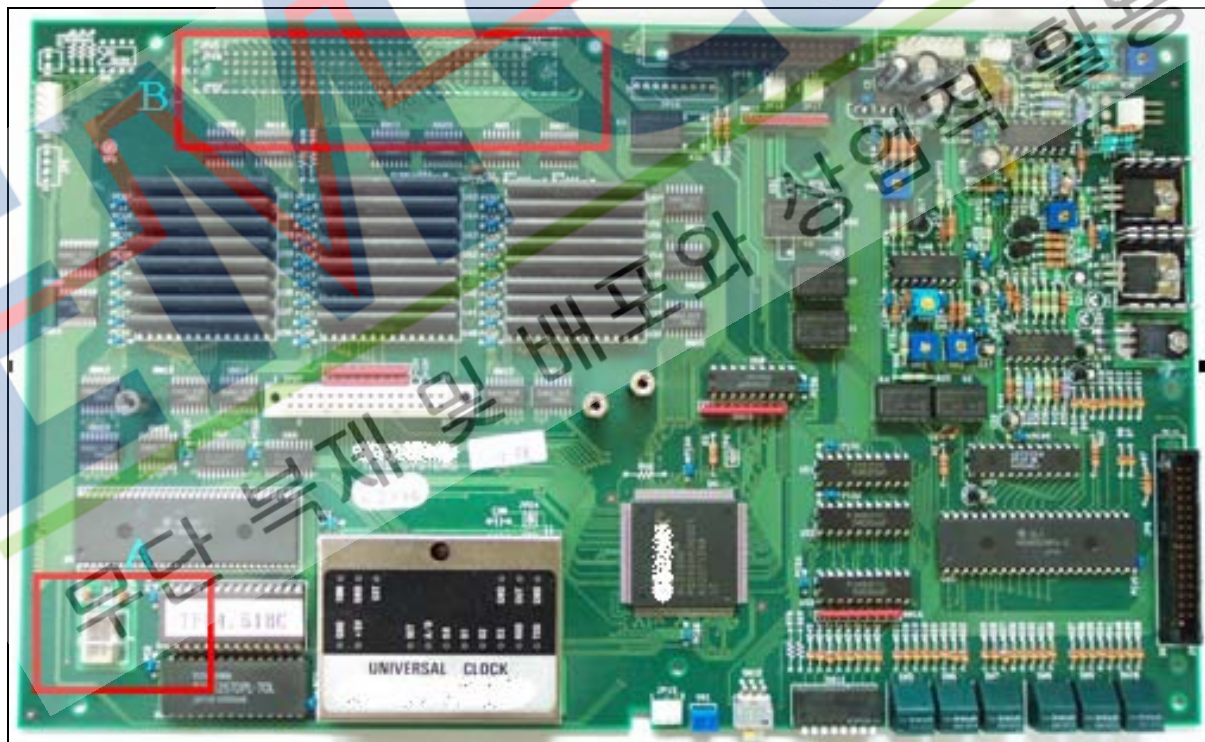


그림 16. 메인보드 정면



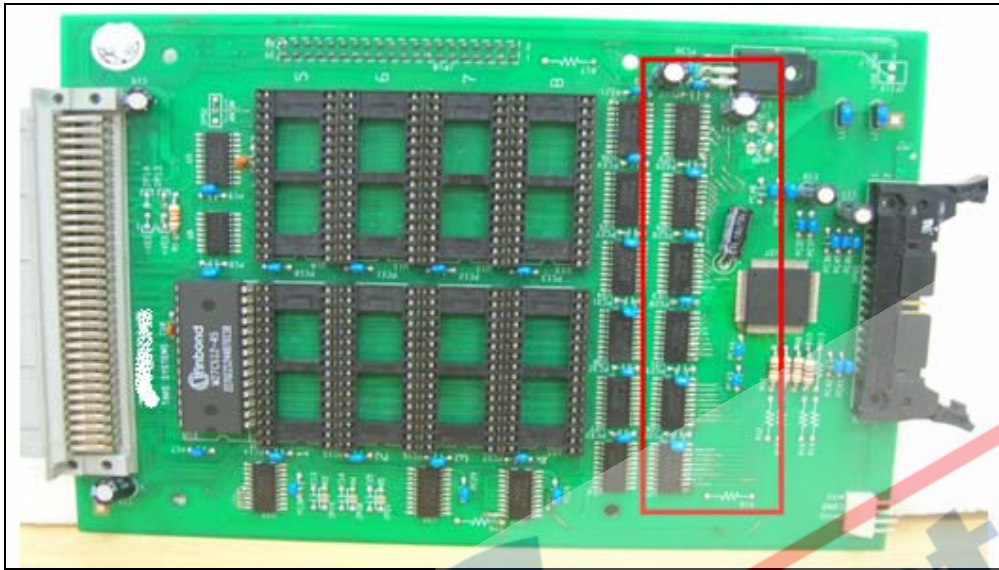


그림 17. 메인보드 후면

이 제품은 크게 3개의 부분(파워 서플라이, Main PCB, PCM Board)로 나누어져 있다.

1. 파워 서플라이 부분은 이미 업체가 Core등을 적용하여 현재 나오고 있는 Noise에 크게 영향을 주지 않고 있다.
2. Main PCB는 20MHz의 Crystal 1개로 구성되어 있다. 메인 cpu와 Signal Generator, Power, Ext\_I/O, Memory Block 으로 구성 되어 있다.이 연결해 주는 Pattern의 배치가 잘못되어 Pattern의 길이가 길어졌다는 것이고, 그 사이에 Damping 저항이나 바이패스 캡이 거의 없다는 것이다. 그로 인해 Signal 간 또는 커넥터를 통해 이동된 경우 잠재된 임피던스에 의해 신호의 왜곡이 생기거나 각각의 part에 대한 커플링 현상이 발생하게 된다.
3. PCM Board는 Main Board로부터 Signal을 받아 Decoding 하여 TFT LCD로 신호를 보내 주는데, Main Board의 Noise가 그대로 TFT LCD Interface Connector를 통해 방사되는 현상이 발생하고 있다. 그리고 Main Board 와 PCM Board 사이 GND가 패턴으로 연결되어 있어 기구적인 보강이 필요하다.

그림 16의 A부분은 이 System에서 유일한 크리스탈 20MHz이고, 그림 16의 B는 Main Board에서 가장 많은 Noise가 발생되고 있는 부분이다. 이 부분은 PCM Board와 연결되는 콘넥터가 있는 부분이다. 그림17의 빨간 네모 부분은 LCD 패널과 연결되는 부분으로 PCM Board에서 가장 많은 Noise가 발생 하고 있다.





## 2) PCB 구조에 대한 원인 분석

이 시스템에 사용된 Main PCB는 4층 구조의 멀티레이어를 가지고 있다.

TOP과 BOTTOM은 시그널 층으로 사용하고 있으며 2층은 VDD층 3층은 GND 층으로 이루어져 있다.

그런데, 이 구조에서 가장 큰 문제점은 Main PCB GND가 System Case 기구물의 Frame Ground를 전혀 이용하지 못하고 있다는 것이다.

그리고 TOP과 BOTTOM의 Signal이 지나가지 않는 여유공간에 GND를 충분히 깔아주지 않은 것도 원인인 것 같다.

PCM PCB 또한 GND가 Case 기구물의 Frame Ground를 전혀 이용하지 못하고 있고, VDD 등이 Pattern으로 연결되어 있고, 내층에 Signal층이 들어 있어 Noise의 발생원인이기도 하고 Debugging 하는 것도 어려운 구조로 되어 있다는 것이다.

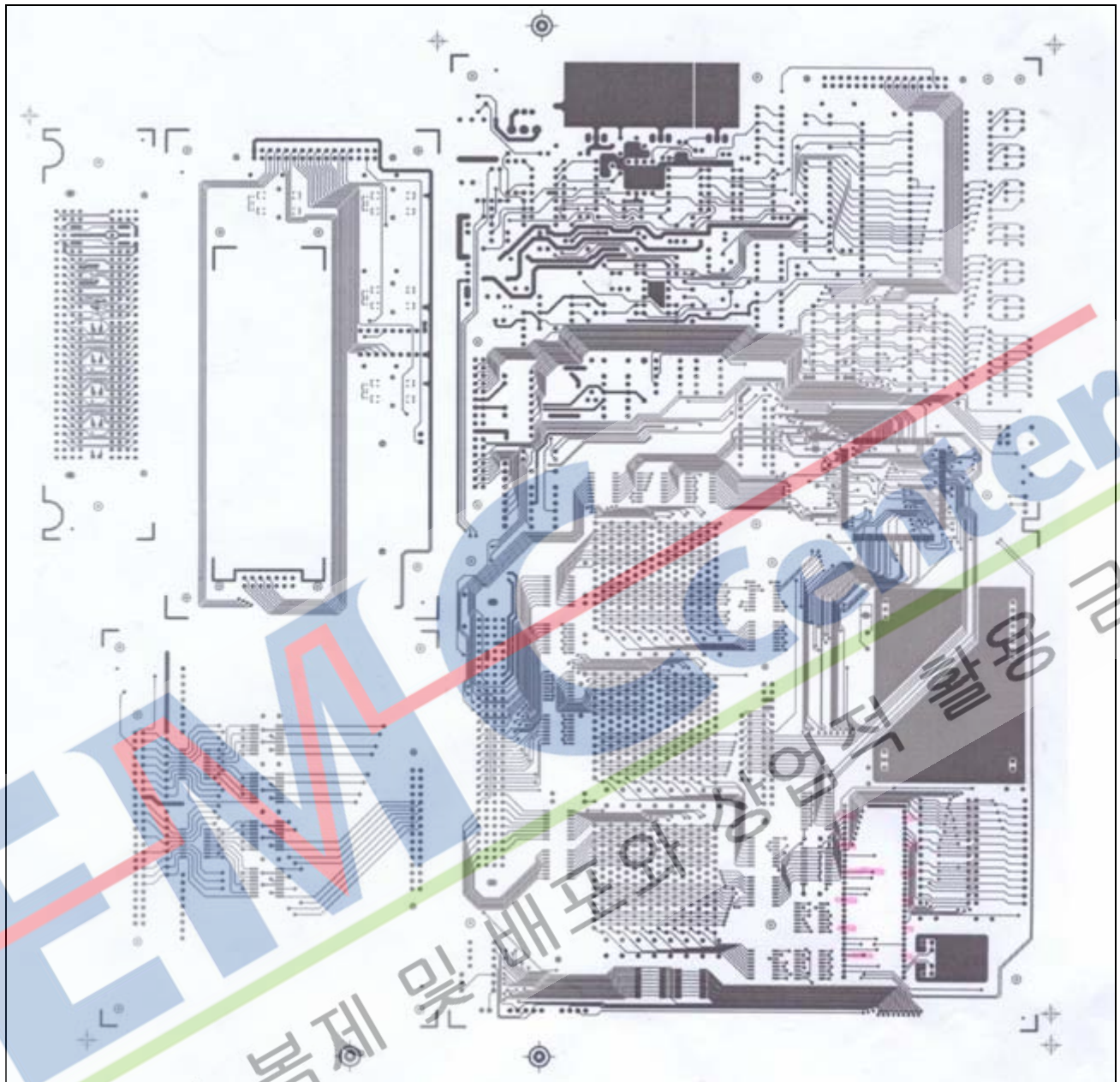


그림 18. Top Signal층

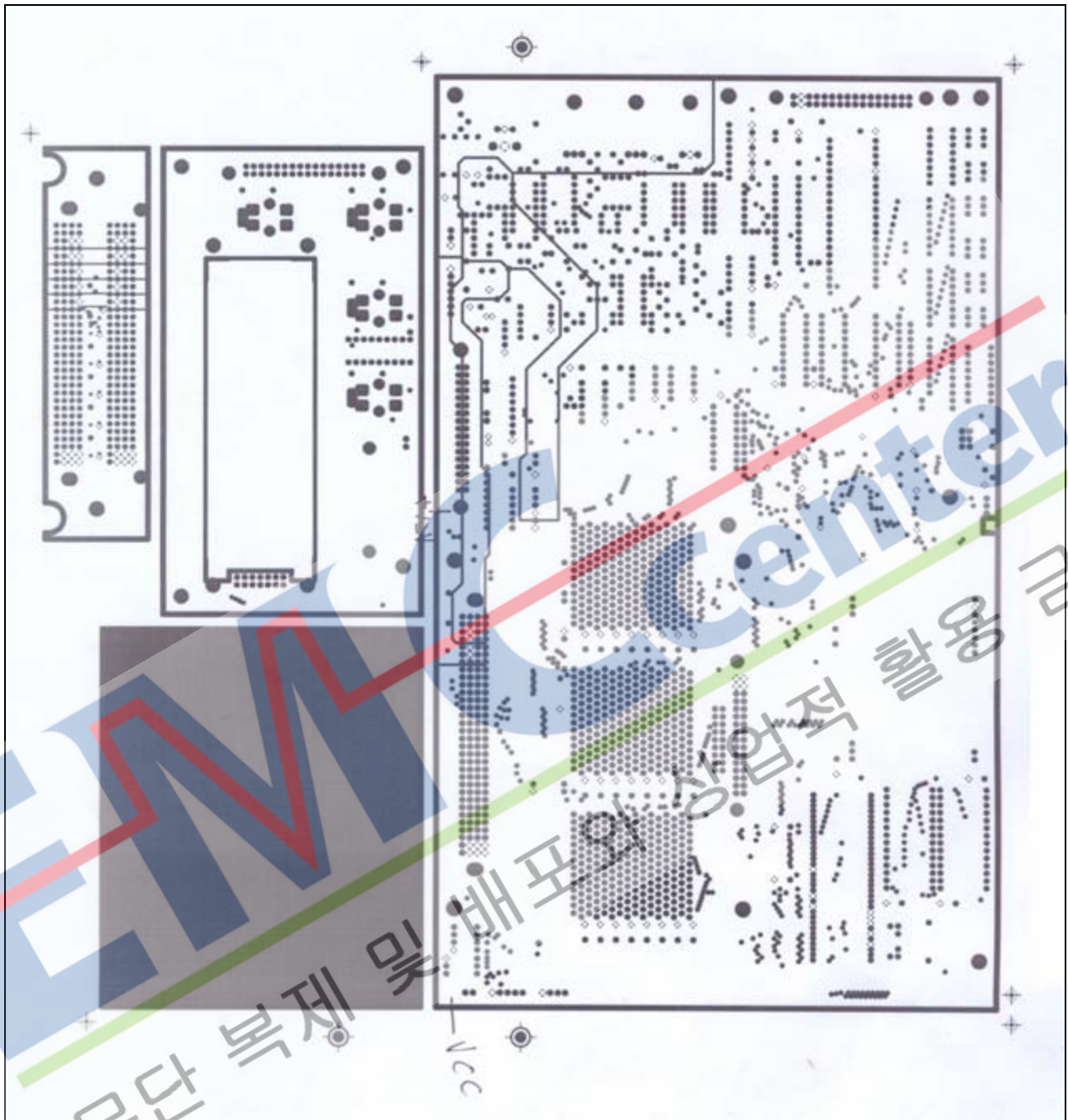


그림 19. VCC 층



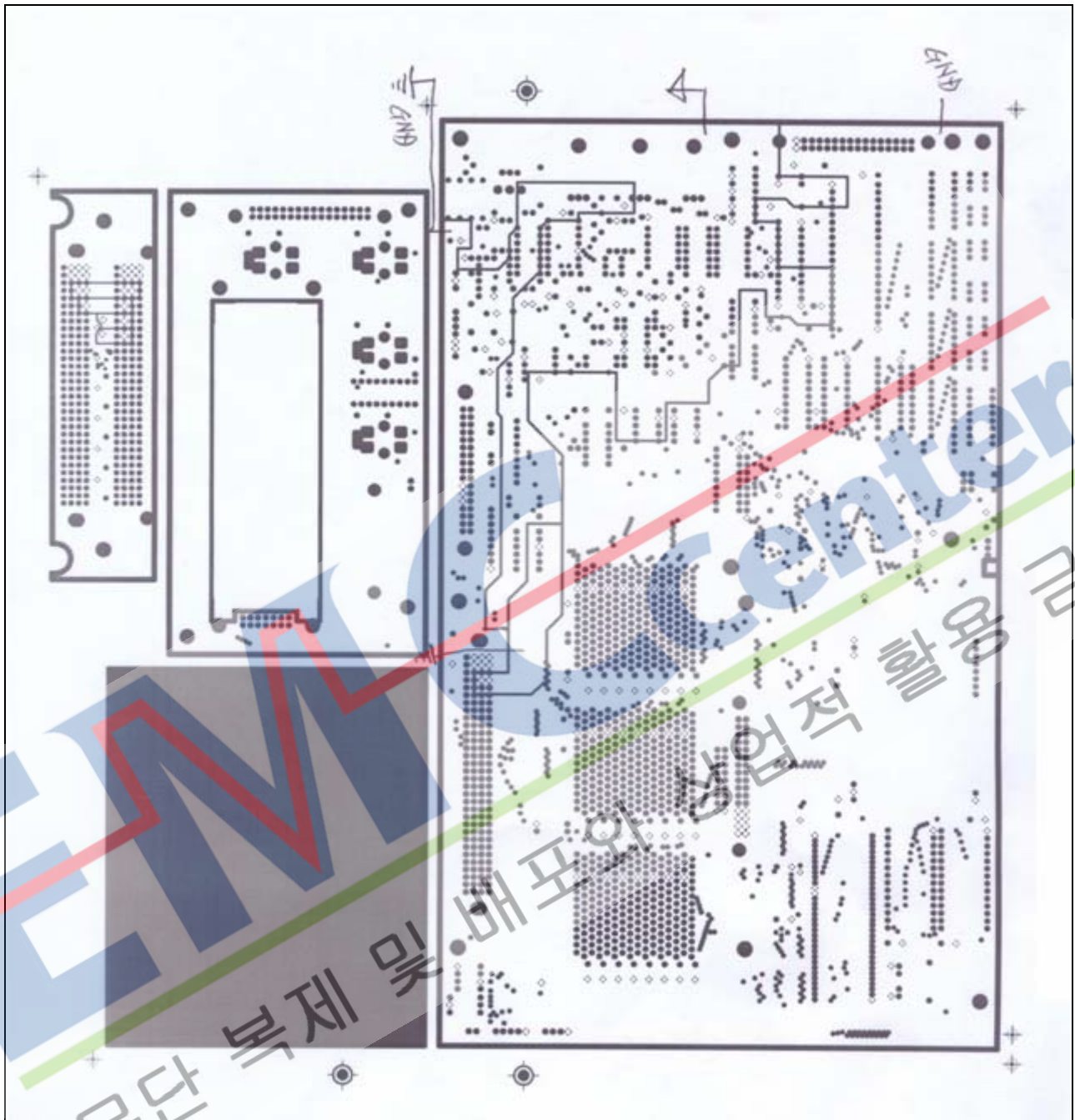


그림 20. GND 층



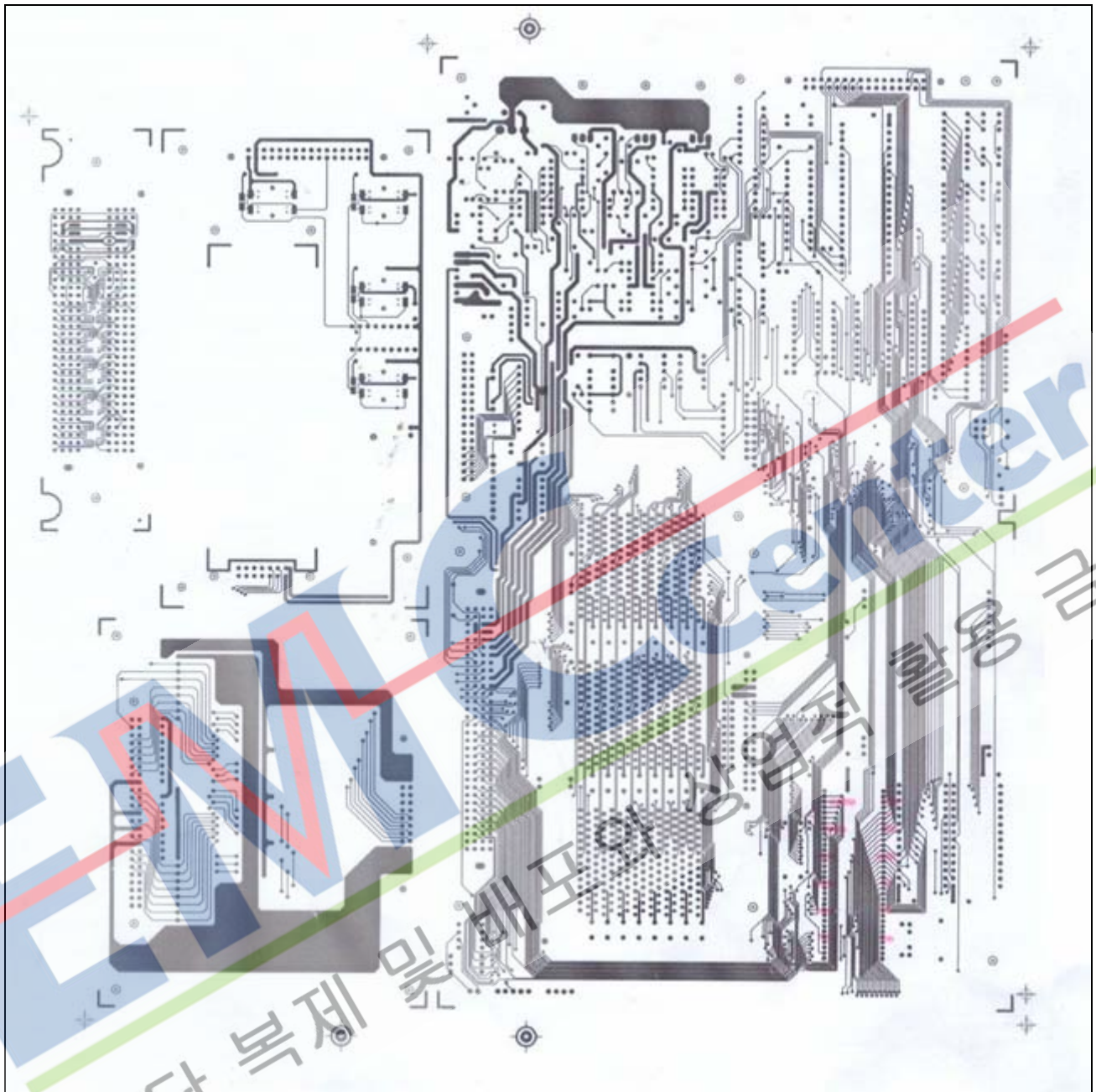


그림 21. Bottom 층

### (3) Coupling 노이즈 분석

- Main Board와 PCM Board 사이 연결이 되지 않더라도, 서로 겹쳐 있는 경우와 PCM Board를 완전히 제거한 상태에서 측정한 결과는 다르다. 이것은 Main Board의 Noise가 PCM Board에 실려 더욱더 Noise가 늘어났다는 것을 알 수 있다.

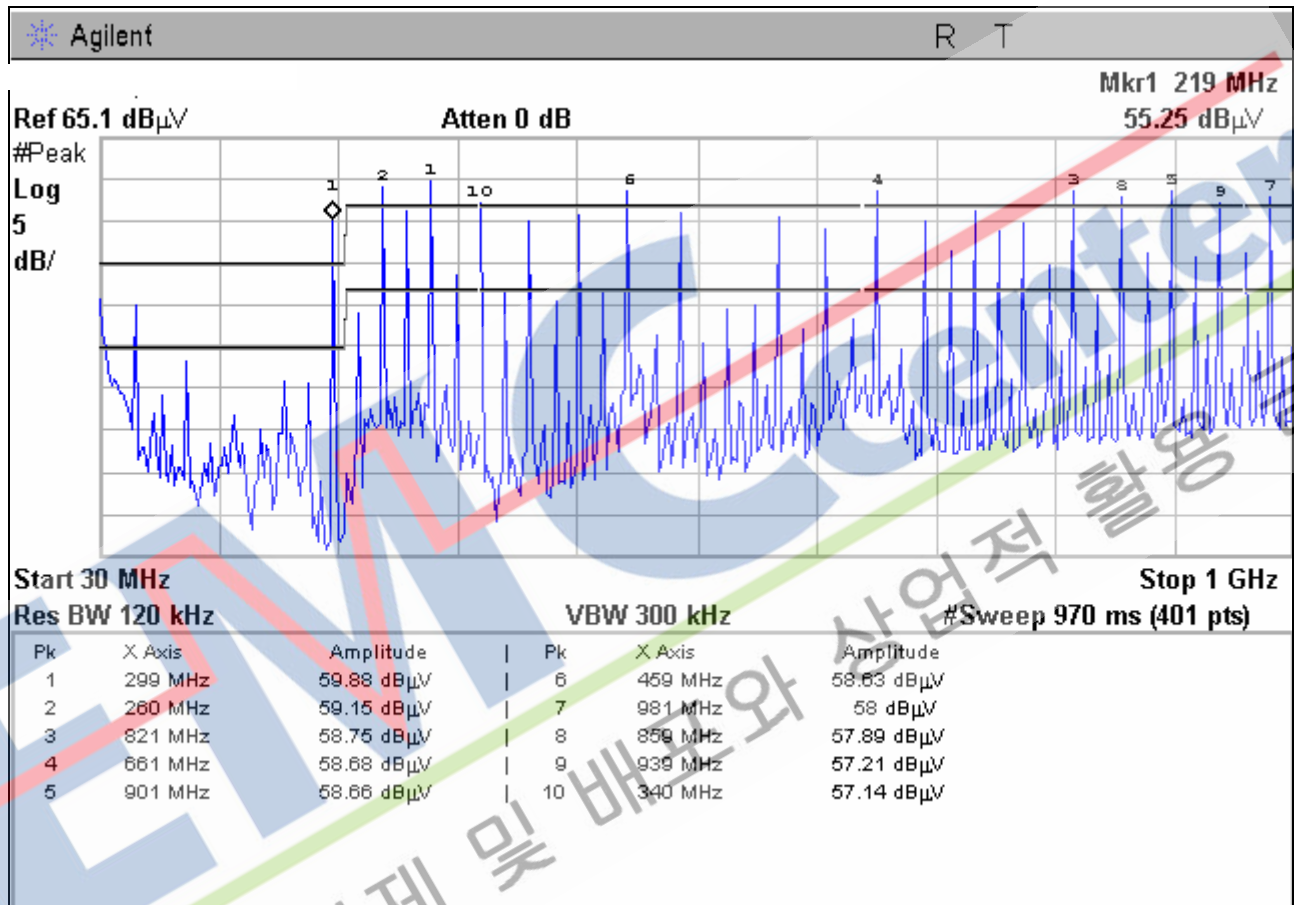


그림 22. PCM Board 가 완전히 제거된 상태

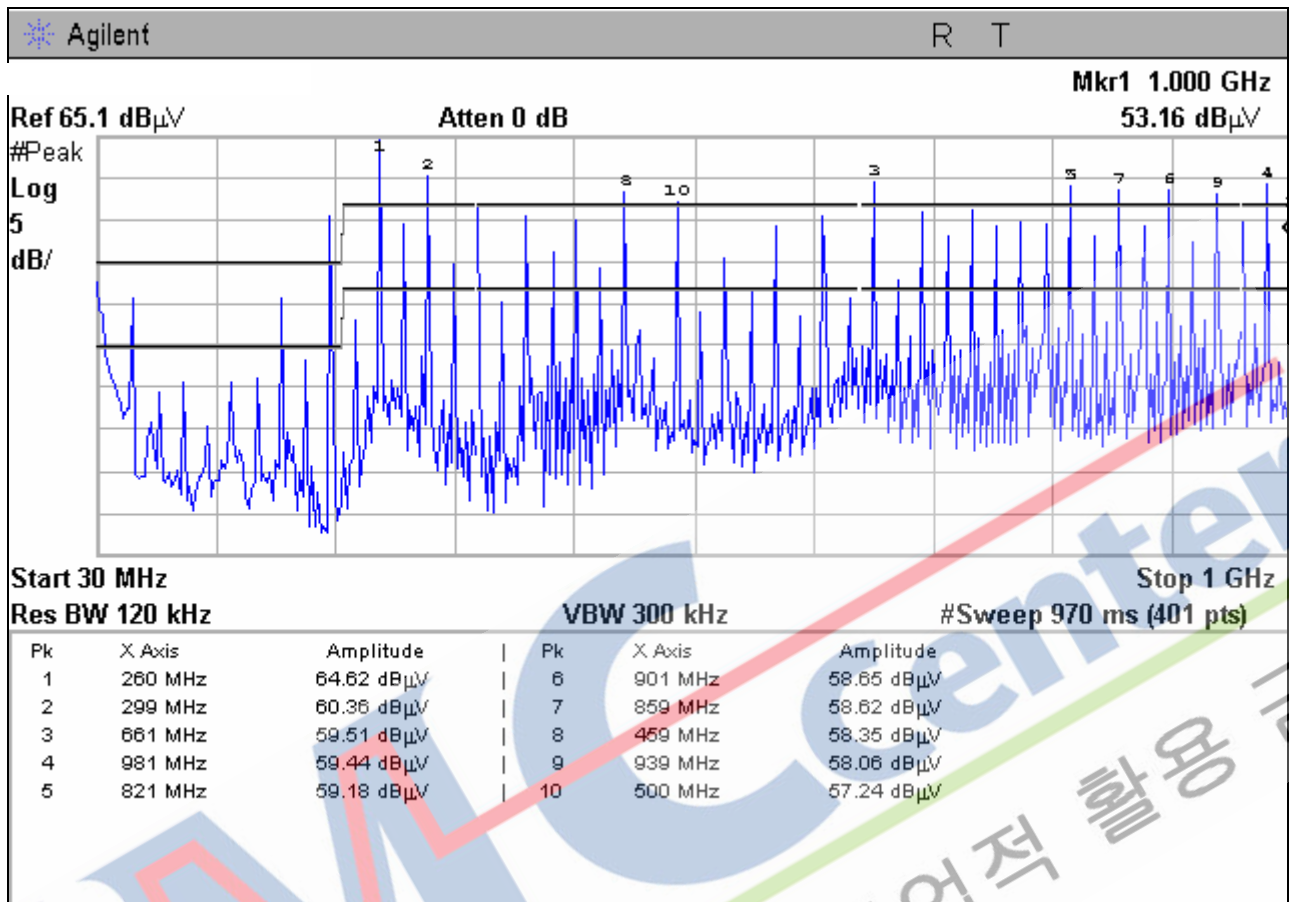


그림 23. Main Board와 PCM Board가 연결이 되어있지 않으나 겹쳐져 있는 경우.

#### (4) 시스템 차폐 효과에 의한 노이즈 현상 분석

앞에서 언급하였듯이 Main Board와 PCM Board가 System의 Frame Ground와 전혀 연결되지 않고 있다는 점이다. 그래서 먼저 Main Board와 PCM Board의 연결 홀을 이용하여 Frame Ground와 연결하였고 아래 그림24 그림25와 같은 결과를 얻었다.

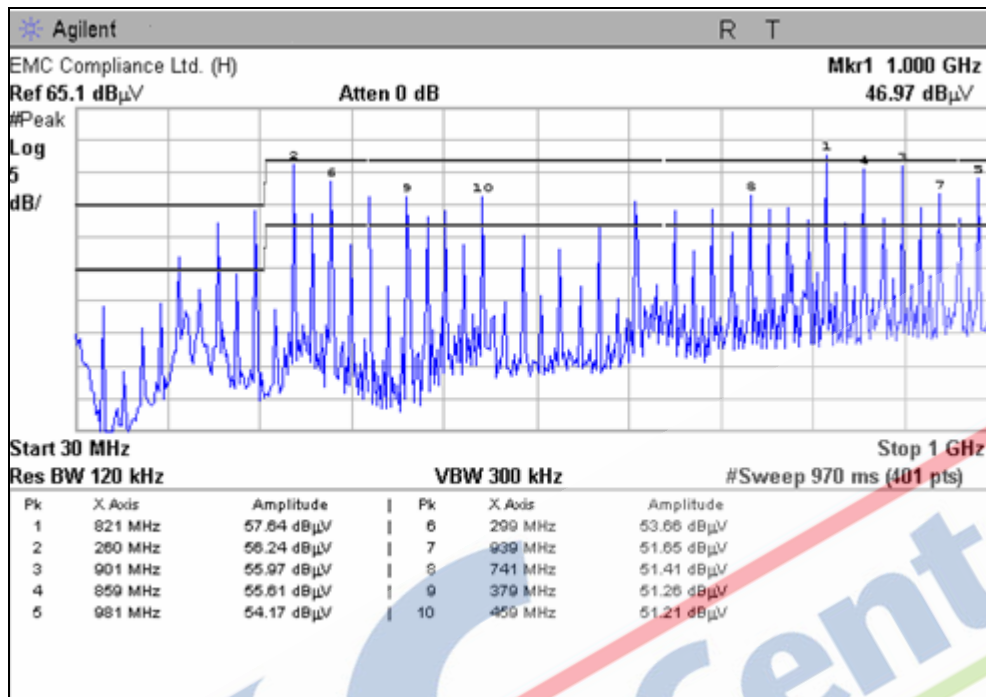


그림 24. Main Board와 PCM Board의 GND가 Frame GND와 연결된 경우(수평)

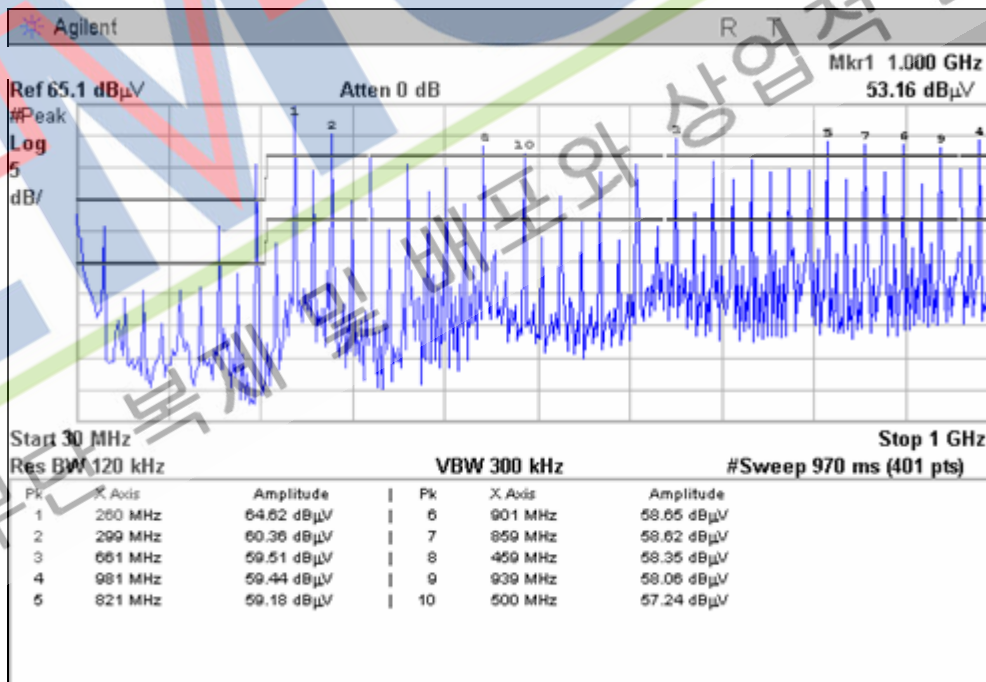


그림 25. Main Board와 PCM Board의 GND가 Frame GND와 연결된 경우(수직)



## 5. EMC를 고려한 설계·대책 및 결과

### 5.1 회로 부품 변경 및 수정사항

- Main PCB 정면

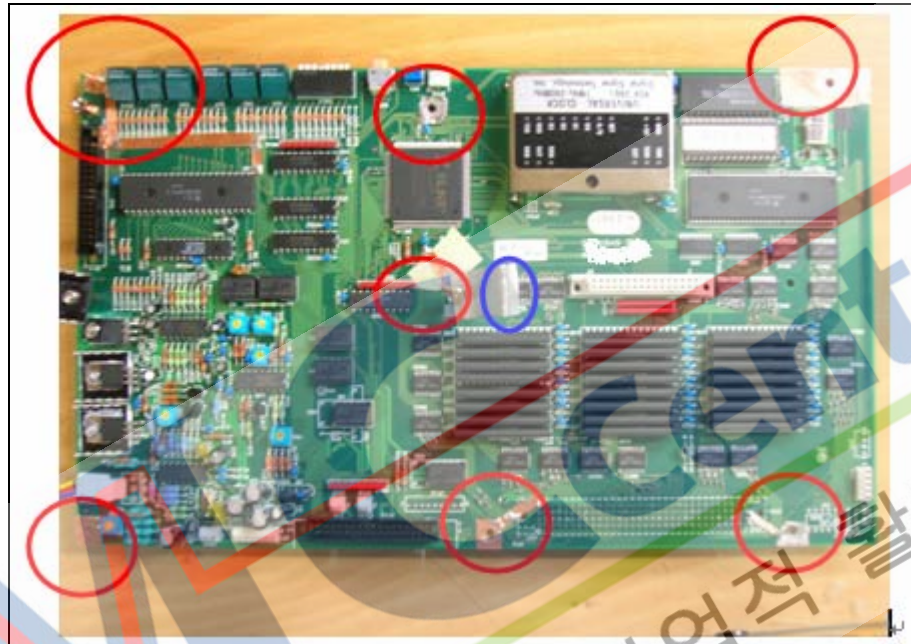


그림 26. 메인보드 정면

1. 위 그림 26의 빨간색 원 안의 홀은 System에 Main Board를 고정시키는 홀로서 기존에 Main Board와 System Case Ground가 연결되지 않았으나, 위 그림처럼 동 테이프를 이용해 Main Board를 System Case에 연결하게 되면 자연스럽게, Case와 Main Board Ground가 연결되는 형태가 된다.
2. 그림 26의 파란색원은 Main Board의 GND와 System Case 윗부분이 접촉될 수 있도록 만들었다.

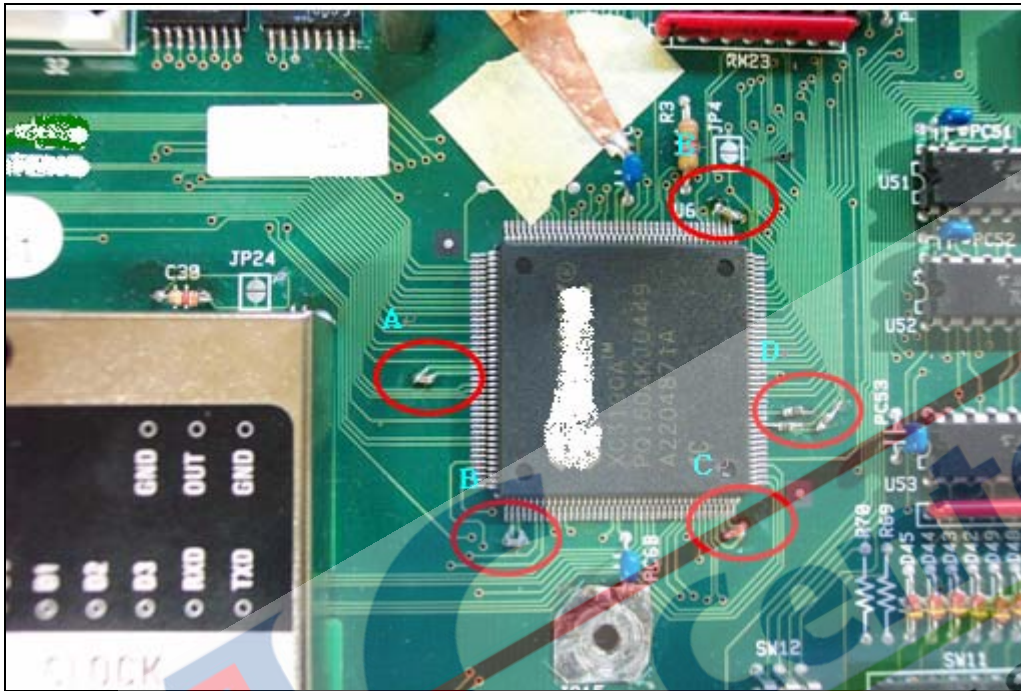


그림 27. Main Board의 U6 부분

- A. U6 100번 VCC에 10nF Bypass Cap 부착.
- B. U6 122번 VCC에 10nF Bypass Cap 부착.
- C. U6 157번 VCC에 10nF Bypass Cap 부착.
- D. U6 10번, 11번, 13번 100옴을 Serial로 삽입.
- E. U6 43번 VCC에 10nF Bypass Cap 부착.



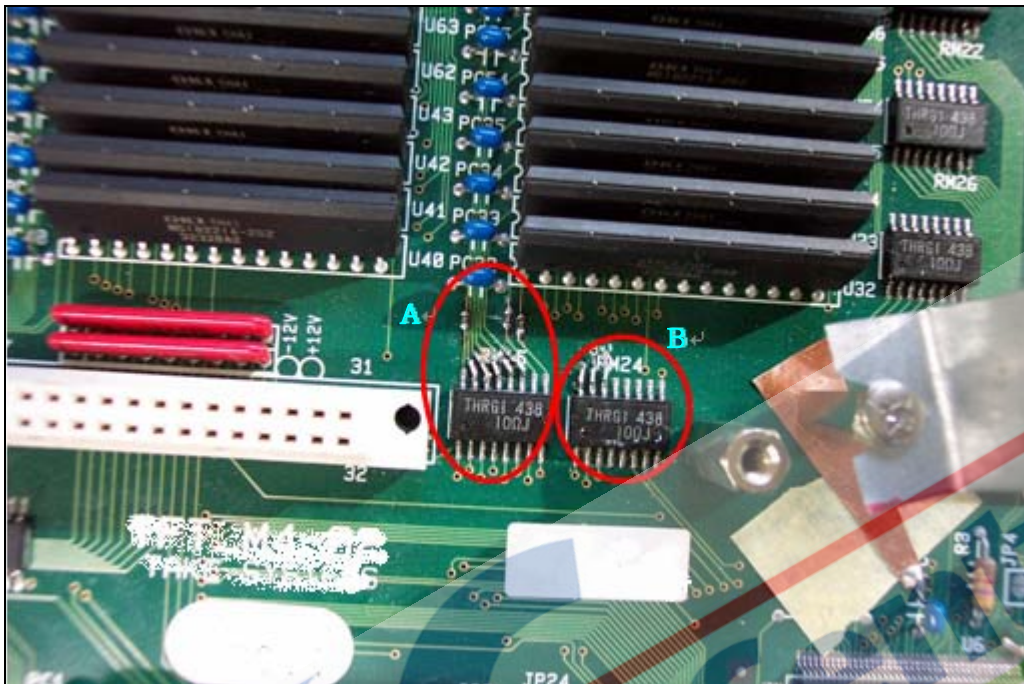


그림 28. Main Board의 RM15, RM24부분

A. RM15의 9~16번에 47옴을 Serial로 삽입.

RM24의 14~16번에 47옴을 Serial로 삽입.



그림 29. Main Board의 U1부분

A. U1의 11번에 100옴을 Serial로 삽입.

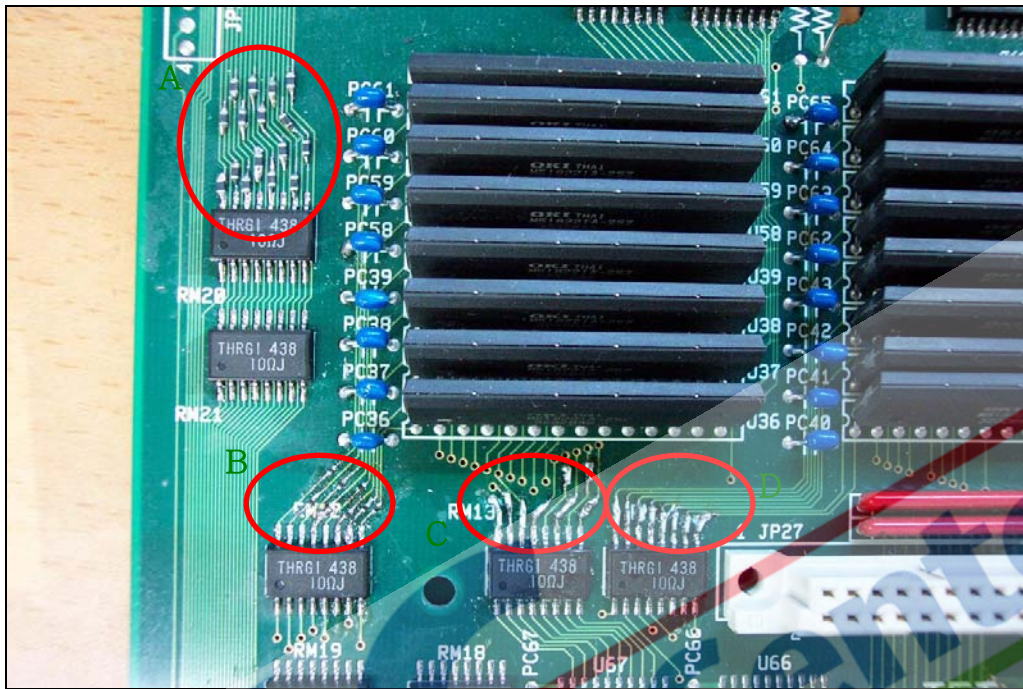


그림 30. Main Board의 RM12~14, RM20, RM21부분

- A. RM20, RM21의 9~16번에 비드120옴을 Serial로 삽입.
- B. RM12의 9~16번에 비드120옴을 Serial로 삽입.
- C. RM13의 9~16번에 비드120옴을 Serial로 삽입.
- D. RM14의 9~16번에 비드120옴을 Serial로 삽입.



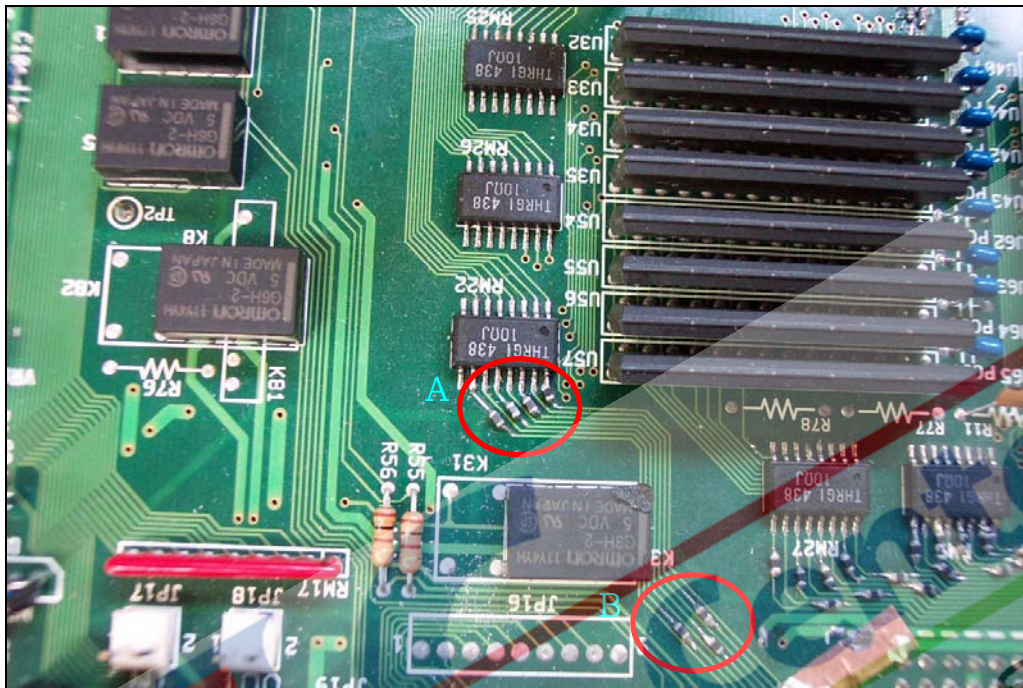


그림 31. Main Board의 RM22부분

- A. RM22의 10,12,14,16번에 비드120옴을 Serial로 삽입.
- B. RM22의 11,13번에 비드 120옴을 Serial로 삽입.

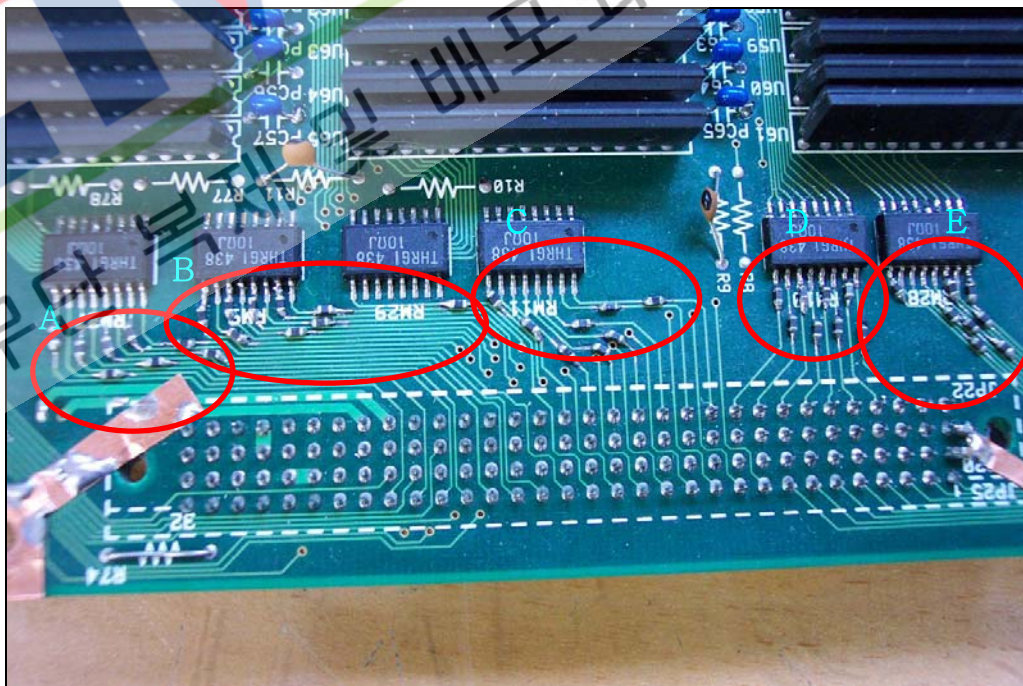


그림 32. Main Board의 RM20,10,11,29,9,27부분

- A. RM27의 9~16번에 비드 120옴을 Serial로 삽입.
- B. RM9의 9~16번에 비드 120옴을 Serial로 삽입.
- C. RM10의 9~16번에 비드 120옴을 Serial로 삽입.
- D. RM20의 9~16번에 비드 120옴을 Serial로 삽입.

- Main PCB 후면

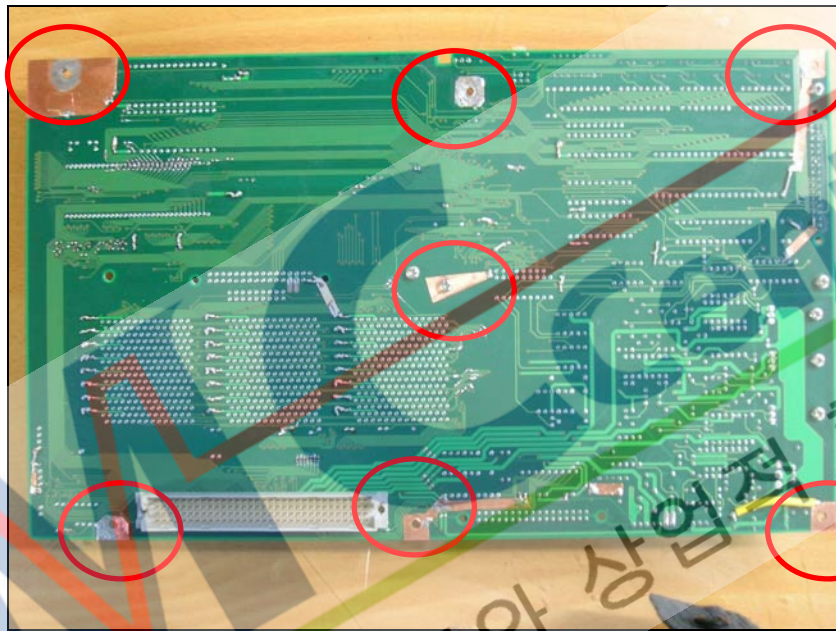


그림 33. Main Board의 후면

1. 위 그림33의 빨간색 원 안의 홀은 System에 Main Board를 고정시키는 홀로서 기존에 Main Board와 System Case Ground가 연결되지 않았으나, 위 그림처럼 동 테이프를 이용해 Main Board를 System Case에 연결하게 되면 자연스럽게, Case와 Main Board Ground가 연결되는 형태가 된다.



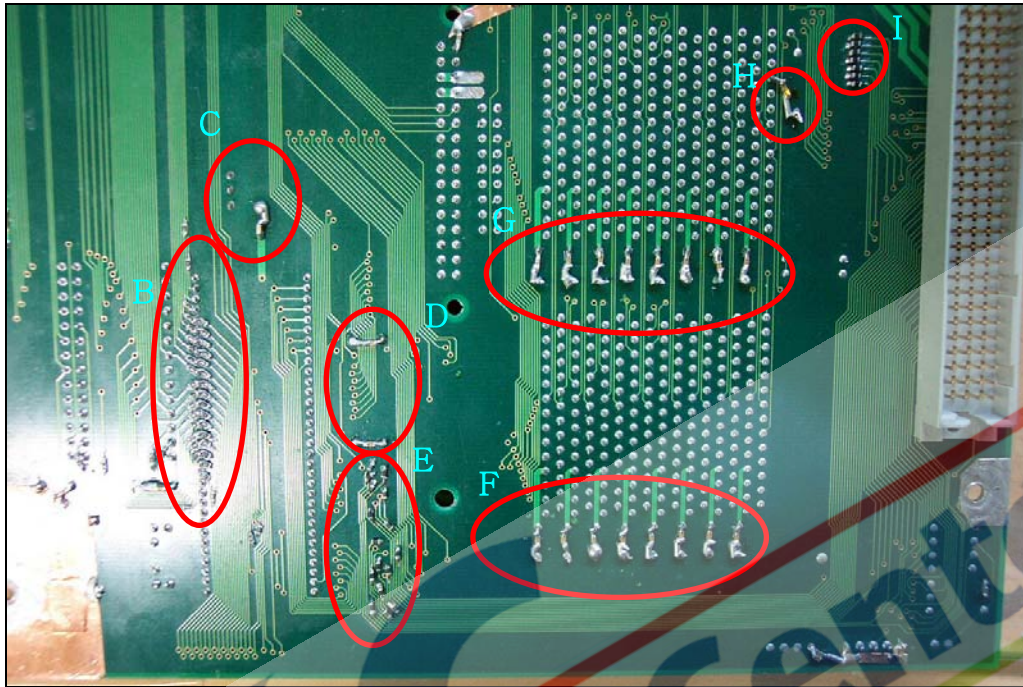


그림 34. 후면 U1 부분

- A. U2의 28번 VCC에 100nF Bypass Cap 부착.  
U4의 2번에 100옴을 Serial로 삽입.  
U2의 23번에 100옴을 Serial로 삽입.
- B. U1의 13~31번에 100옴을 Serial로 삽입.
- C. PC1에 병렬로 1nF Bypass Cap 부착.
- D. PC66,67에 병렬로 1nF Bypass Cap 부착.
- E. RM18,19의 9~16번에 비드120옴을 Serial로 삽입.
- F. PC36~39,PC58~61에 병렬로 1nF Bypass Cap 부착.
- G. PC40~43,PC62~65에 병렬로 1nF Bypass Cap 부착.
- H. U65에 18번에 22pF Bypass Cap 부착.
- I. RM29의 10~16에 비드120옴을 Serial로 삽입.



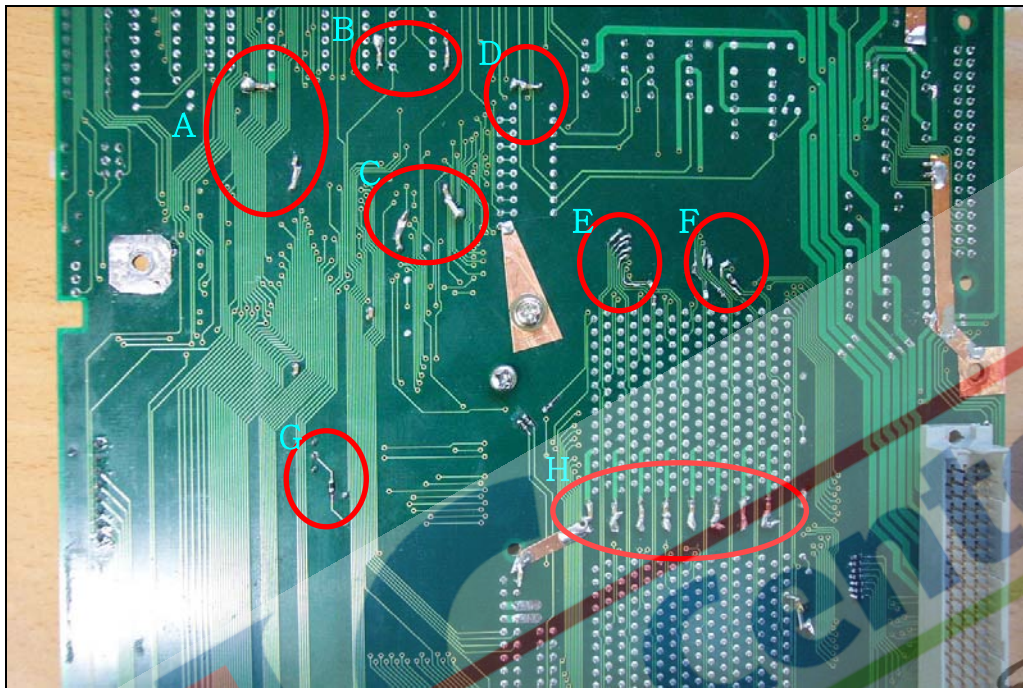


그림 35. 후면 U6부분

- A. U6의 20번 VCC에 100nF Bypass Cap 부착.  
PC53에 병렬로 1nF Bypass Cap 부착.
- B. PC51,PC52에 병렬로 1nF Bypass Cap 부착.
- C. PC6A 에 병렬로 1nF Bypass Cap 부착.  
R3에 연결된 VCC에 100nF Bypass Cap 부착.
- D. PC50에 병렬로 1nF Bypass Cap 부착.
- E. RM25의 9~16에 저항47옴을 Serial로 삽입.
- F. RM26의 9~16에 저항47옴을 Serial로 삽입.
- G. PC32~35,54~57에 병렬로 1nF Bypass Cap 부착.

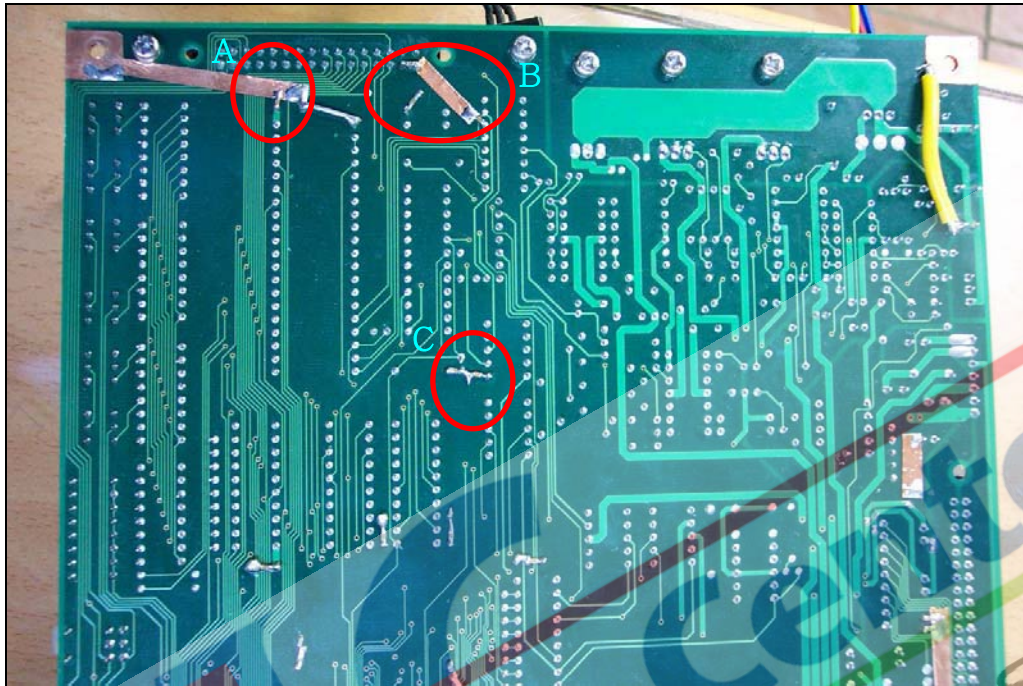


그림 36. 후면 U45부분

- A. PC45에 병렬로 1nF Bypass Cap 부착.
- B. JP6 4번에 100nF Bypass Cap 부착.  
D7에 연결된 VCC에 100nF Bypass Cap 부착.  
D12에 연결된 VCC에 100nF Bypass Cap 부착.
- C. R2 에 연결된 VCC에 100nF Bypass Cap 부착.  
K2 에 연결된 VCC에 100nF Bypass Cap 부착.



- Main PCB와 PCM PCB를 연결하는 Interface Board

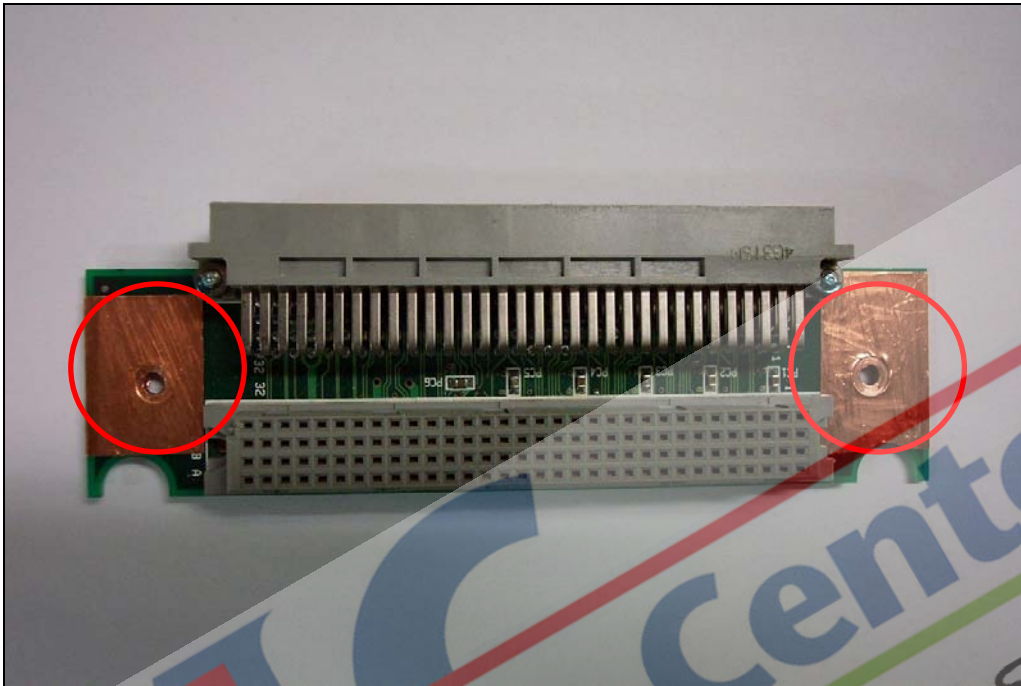


그림 37. Interface Board 정면



그림 38. Interface Board 후면

기존에 Interface Board와 System Case Ground가 연결되지 않았으나, 위 그림처럼 동 테이프를 이용해 Main Board를 System Case에 연결하게 되면 자연스럽게, Case와 Main Board Ground가 연결되는 형태가 된다.



## – PCM PCB 정면



그림 39. PCM Board 정면1

- A. U22의 11,16번에 비드120옴을 Serial로 삽입.
- B. PCM PCB를 지지하는 지지대와 GND와 연결되도록 동 테이프로 임시로 만듦.
- C. U25의 11번에 비드120옴을 Serial로 삽입  
U25의 12~19에 저항47옴을 Serial로 삽입
- D. U28의 11번에 비드120옴을 Serial로 삽입  
U28의 12~19에 저항47옴을 Serial로 삽입
- E. U31의 11번에 비드120옴을 Serial로 삽입  
U31의 12~19에 저항47옴을 Serial로 삽입
- F. U23의 11번에 비드120옴을 Serial로 삽입  
U23의 12~19에 저항47옴을 Serial로 삽입
- G. U26의 11번에 비드120옴을 Serial로 삽입  
U26의 12~19에 저항47옴을 Serial로 삽입
- H. U29의 11번에 비드120옴을 Serial로 삽입  
U29의 12~19에 저항47옴을 Serial로 삽입

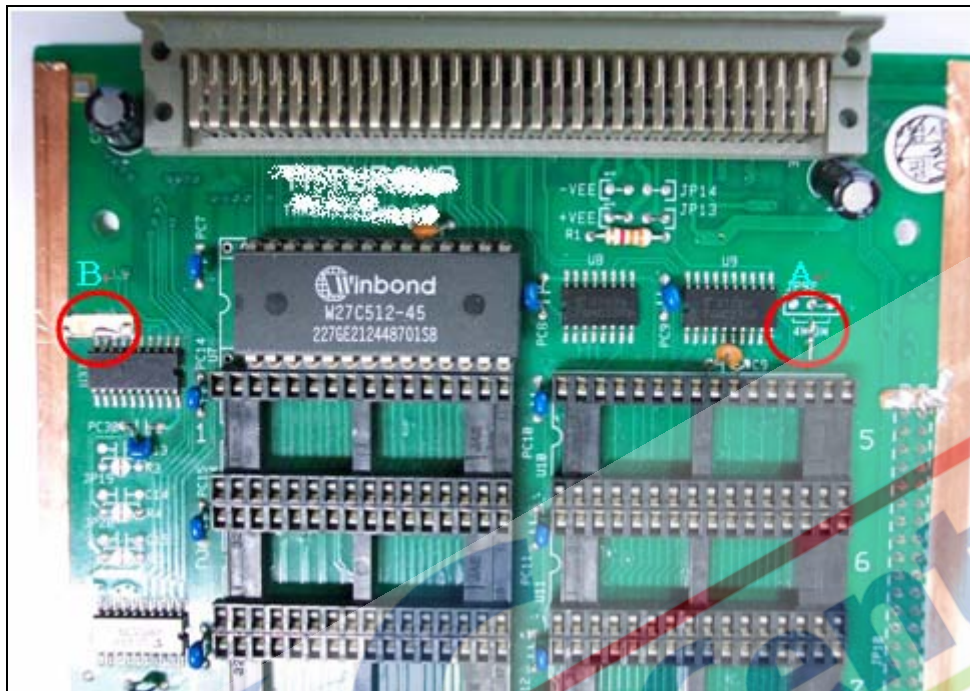


그림 40. PCM Board 정면2

A. JP92의 2번에 비드 120옴을 Serial로 삽입.

B.PCM PCB를 지지하는 지지대와 Board GND와 연결.

- PCM PCB 후면

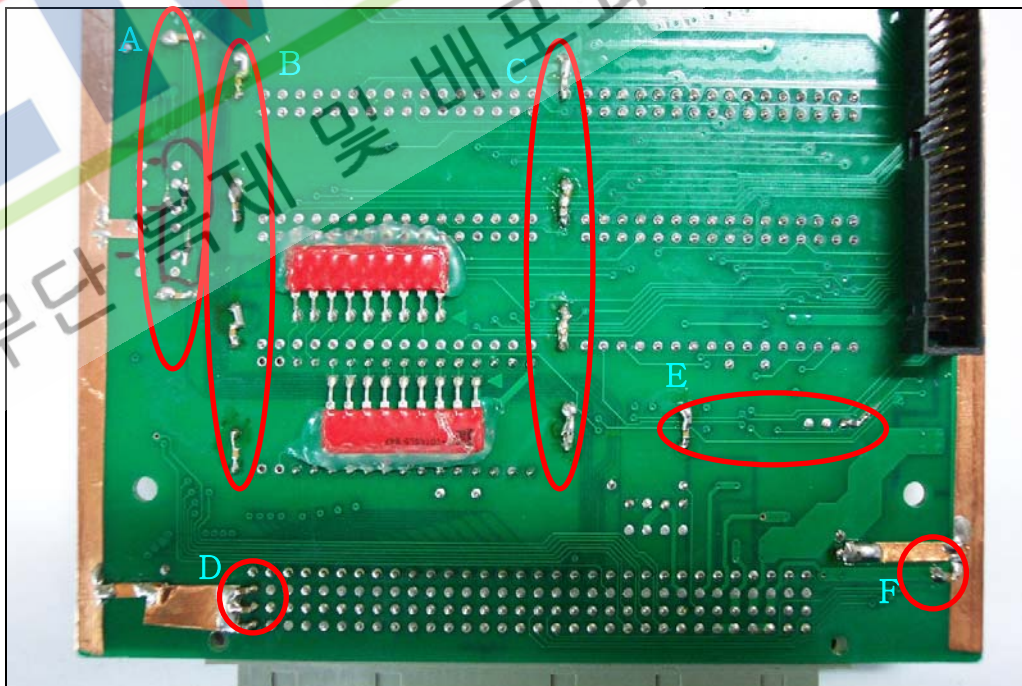


그림 41. PCM Board 후면 1



- A. PC29에 병렬로 1nF Bypass Cap 부착.  
PC19에 병렬로 1nF Bypass Cap 부착.  
U33의 15,16,17번에 비드120옴 Serial로 삽입.
- B. PC14~17에 병렬로 1nF Bypass Cap 부착.
- C. PC10~13에 병렬로 1nF Bypass Cap 부착.
- D. P7~9의 1에 100nF Bypass Cap 부착.
- E. PC9에 병렬로 1nF Bypass Cap 부착.  
JP92의 3번에 비드120옴을 Serial로 삽입.
- F. JP9의 30번에 100nF Bypass Cap 부착.

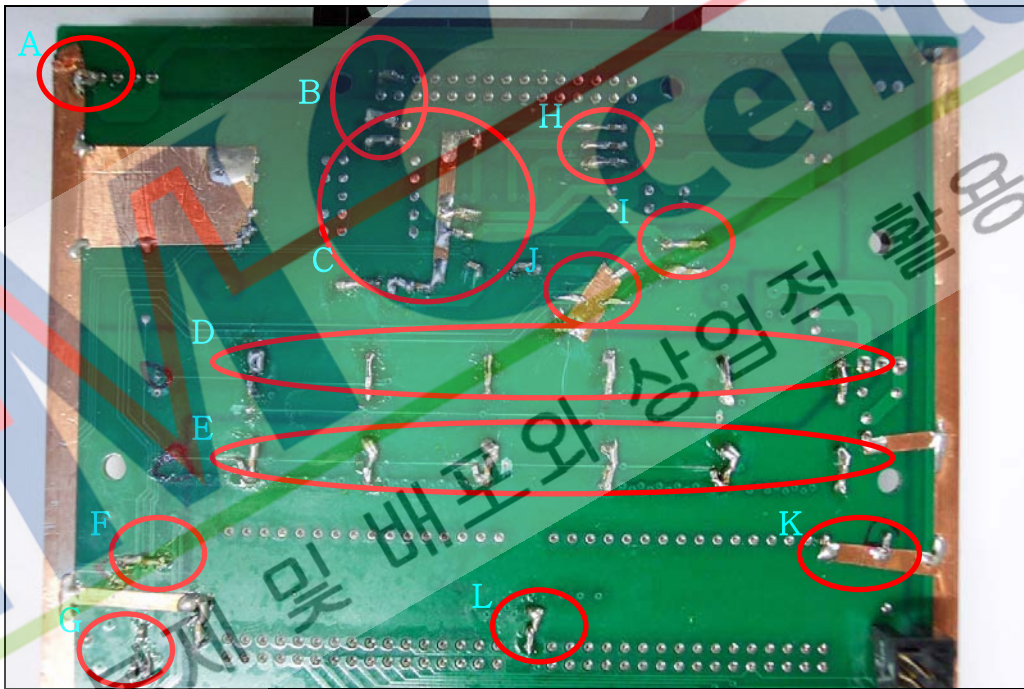


그림 42. PCM Board 후면 2

- A. JP95의 1번에 100nF Bypass Cap 부착.
- B. PC41,42에 병렬로 1nF Bypass Cap 부착.  
JP93의 29에 100nF Bypass Cap 부착.
- C. PC35,37,43,44에 병렬로 1nF Bypass Cap 부착.
- D. PC31~33,21,24,27에 병렬로 1nF Bypass Cap 부착.
- E. PC22,25,28,20,23,26에 병렬로 1nF Bypass Cap 부착.
- F. PC19에 병렬로 1nF Bypass Cap 부착.





G. U32의 17,18,19번에 비드 120옴 Serial로 삽입.

H. PC36,45,46에 병렬로 1nF Bypass Cap 부착.

I. PC39,40에 병렬로 1nF Bypass Cap 부착.

J. U32의 17,18,19번에 22pF Bypass Cap 부착.

K. U25의 11번에 22pF Bypass Cap 부착.

L. PC13에 병렬로 1nF Bypass Cap 부착.

EMC Center  
무단 복제 및 배포와 상업적 활용 금지

- 부품 변경 후 발생할 현상 제시

대책 전 초기 SCAN DATA

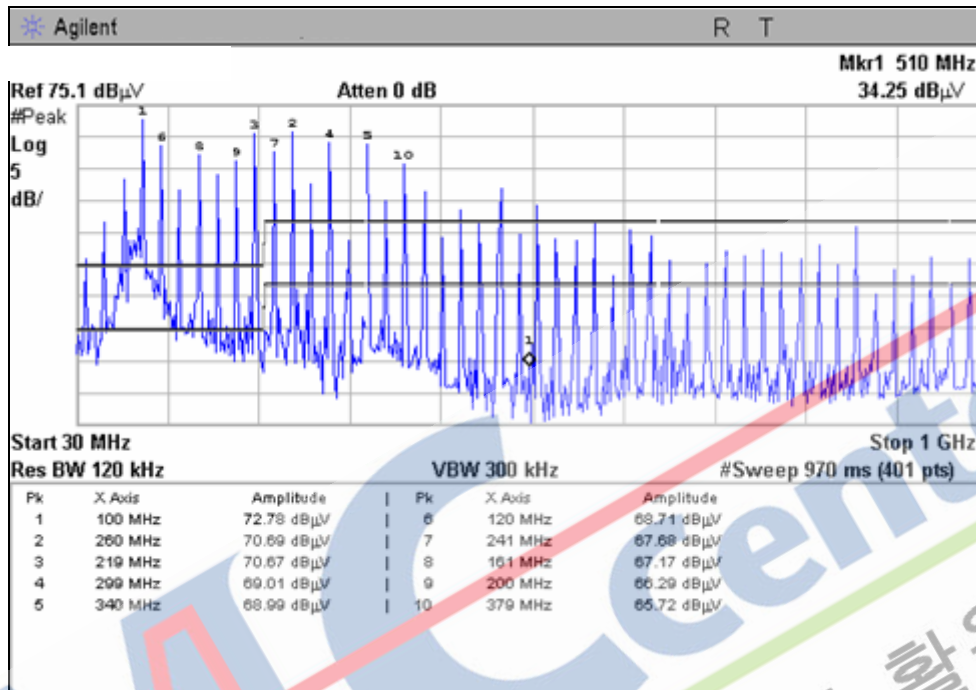


그림 43. 대책 전 초기 data(수평)

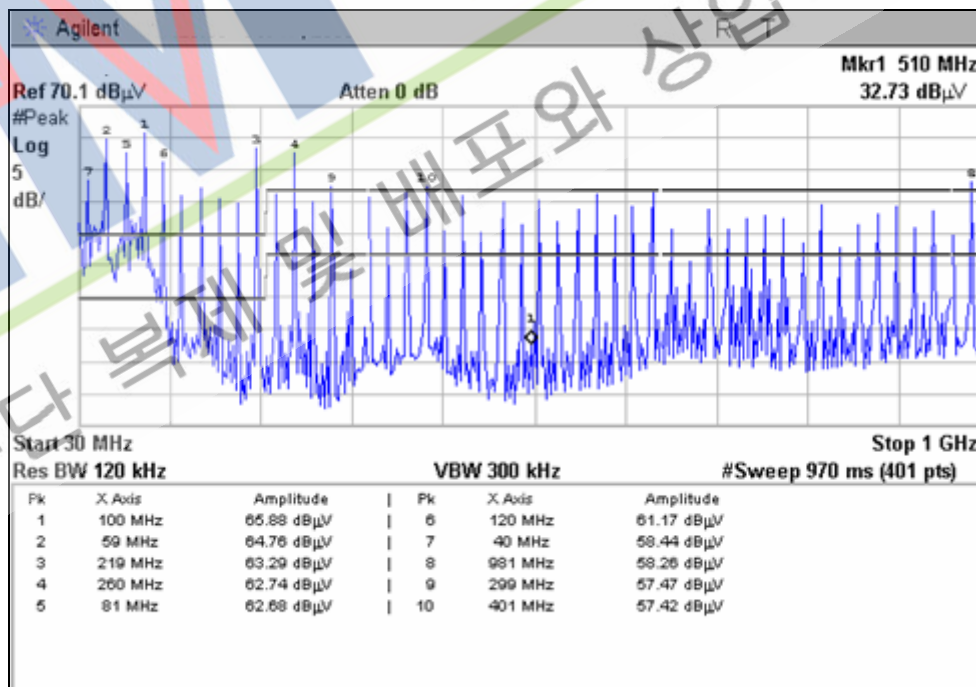


그림 44. 대책 전 초기 data(수직)

부품 변경 후 SCAN DATA

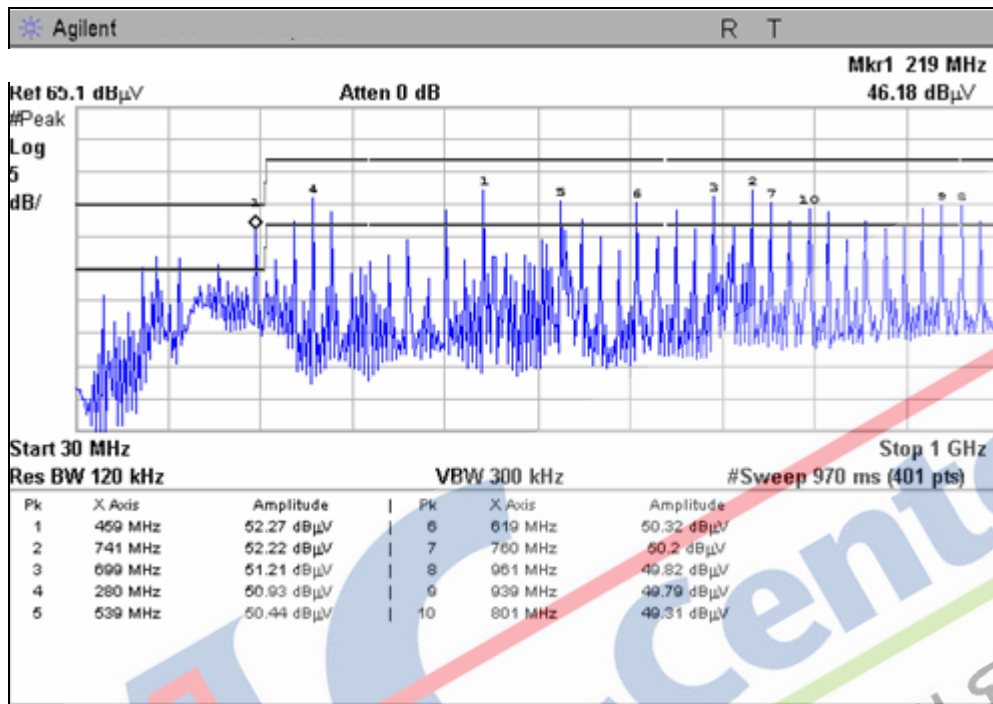


그림 45. 대책 후 data(수평)

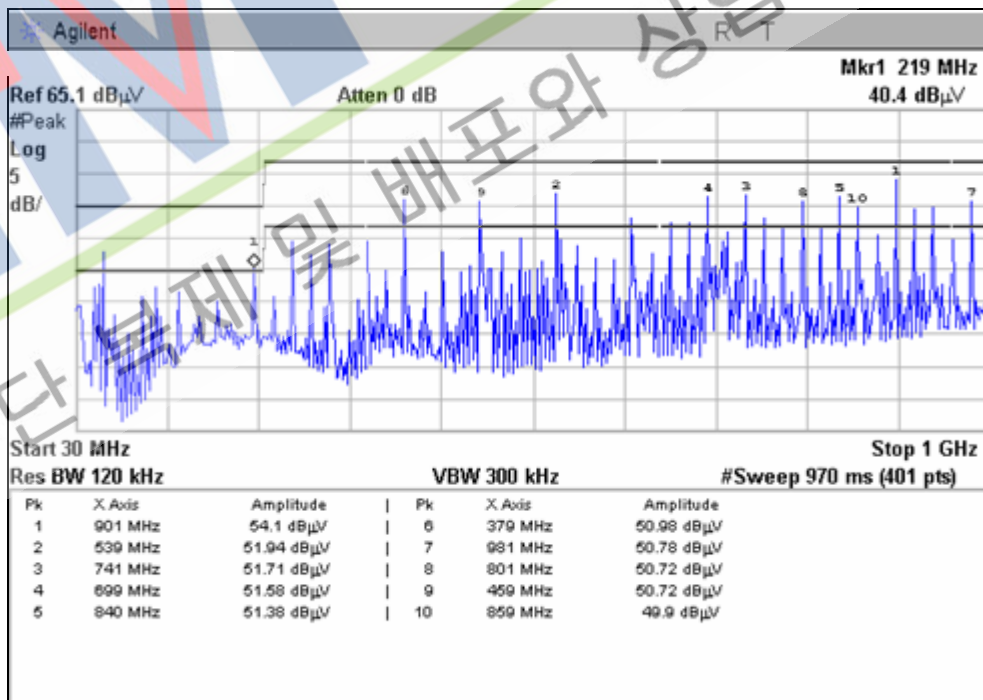


그림 46. 대책 후 data(수직)



## 5.2 System 측면의 추가 및 수정사항

- 변경사항에 대한 EMC 관련 근거 제시

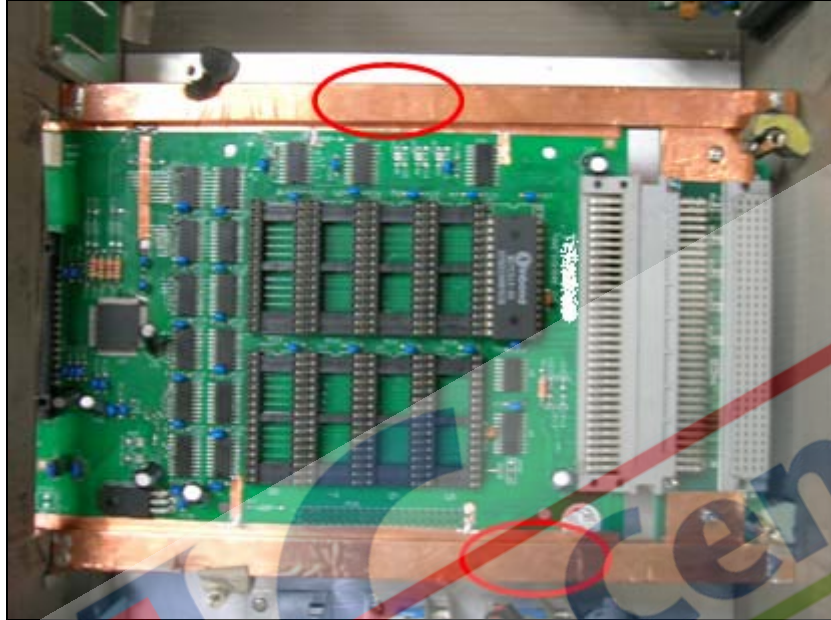


그림 47. System안에 장착된 PCM Board

빨간색원은 PCM Board를 기구에 지지해주는 역할을 하는데, 소재는 나무로 이루어져 있었다. PCM 보드는 GND층 안에 Signal이 들어가 있는 구조로 되어있고, Main Board와 연결된 GND는 단순히 커넥터의 몇 개의 핀으로만 연결되어 있다. 이것을 기구의 GND와 연결하기 위해 지지대를 임시로 동박으로 씌우고 이것이 PCM Board와 자연스럽게 연결되도록 한다.

- 변경후 발생할 현상 제시

: 기능상 크게 영향이 없을 듯 하다.

### 5.3 제품의 시험결과 전 • 후 사진

#### 5.3.1 시험 전

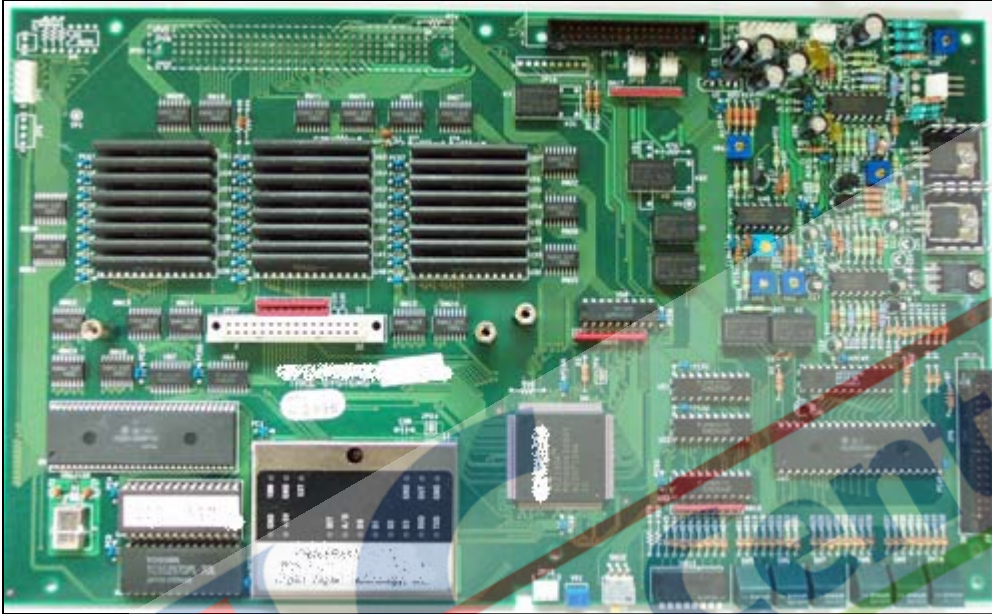


그림 48. 대책 전 Main Board 정면

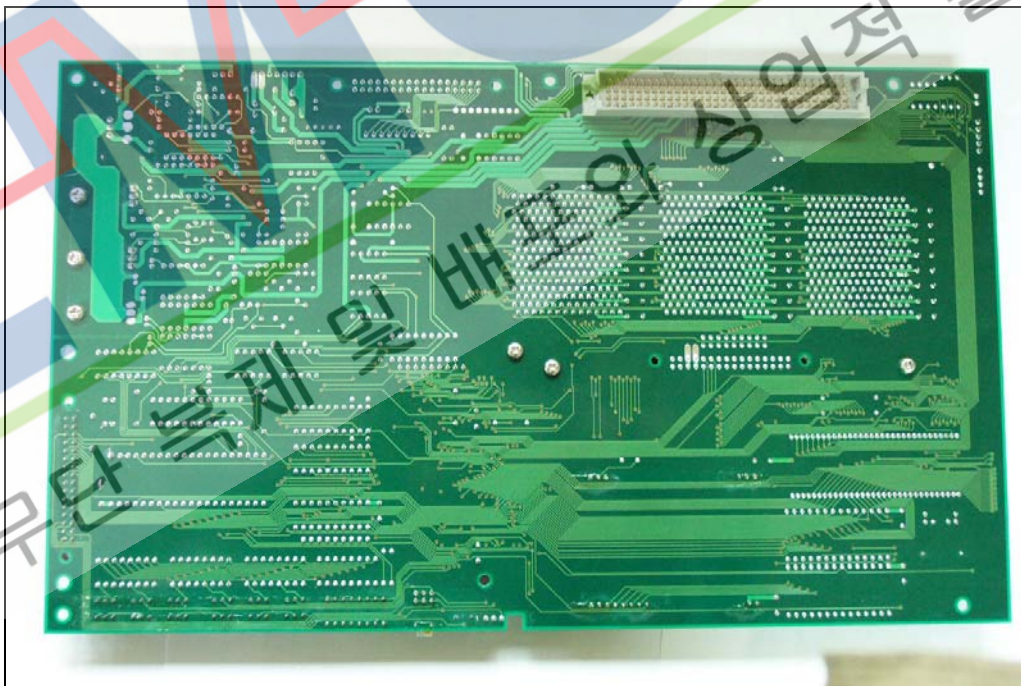


그림 49. 대책 전 Main Board 후면



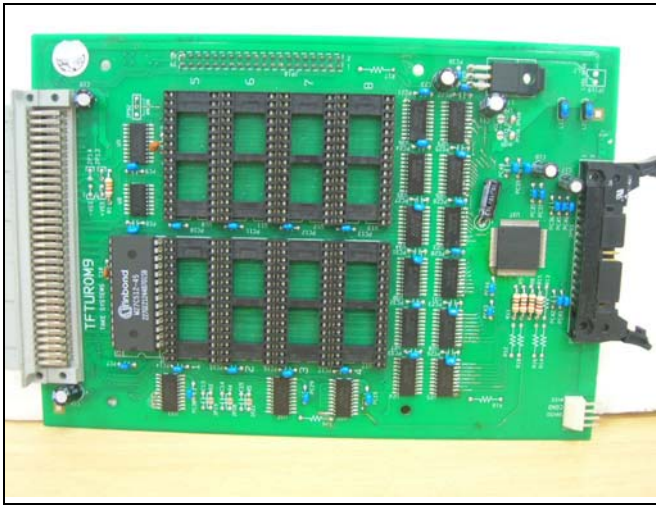


그림 50. 대책 전 PCM Board 정면

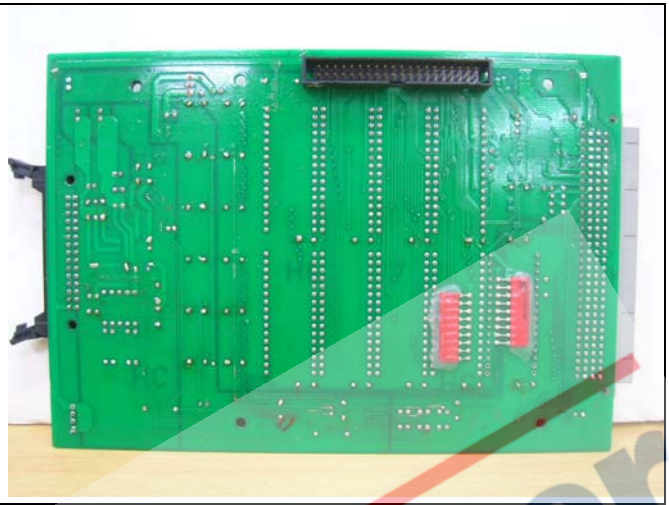


그림 51. 대책 전 PCM Board 후면



그림 52. 대책 전 Interface Board 정면

그림 53. 대책 전 Interface Board 후면



### 5.3.2 시험 후



그림 54. 대책 후 Main Board 정면

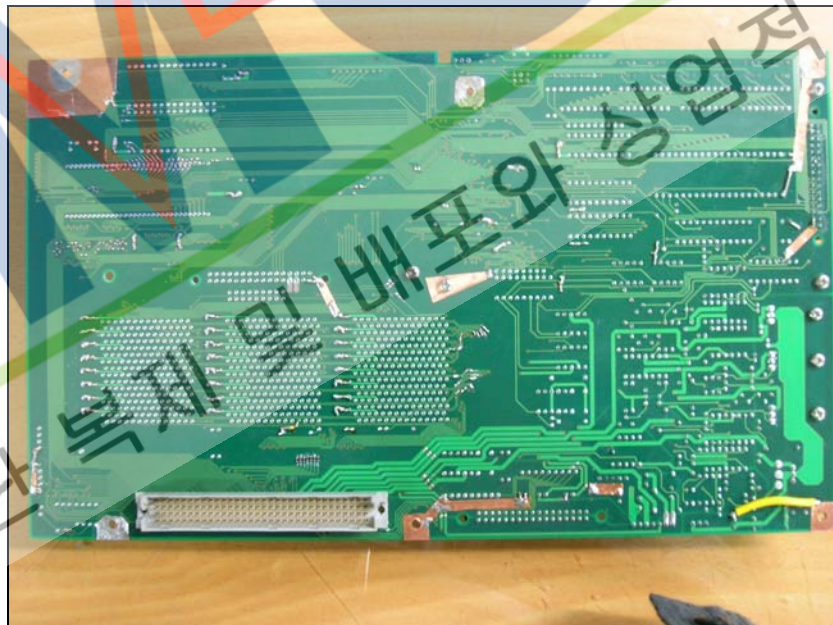


그림 55. 대책 후 Main Board 후면

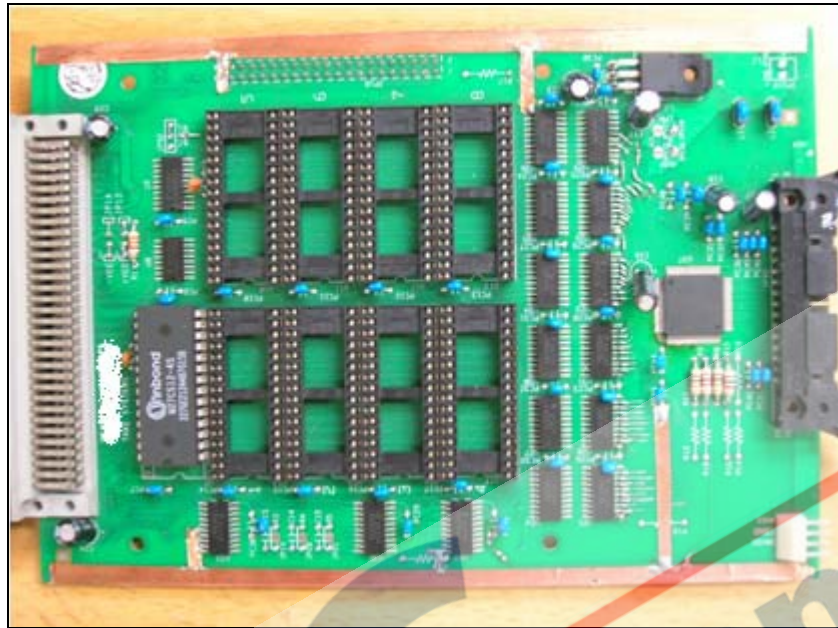


그림 56. 대책 후 PCM Board 정면

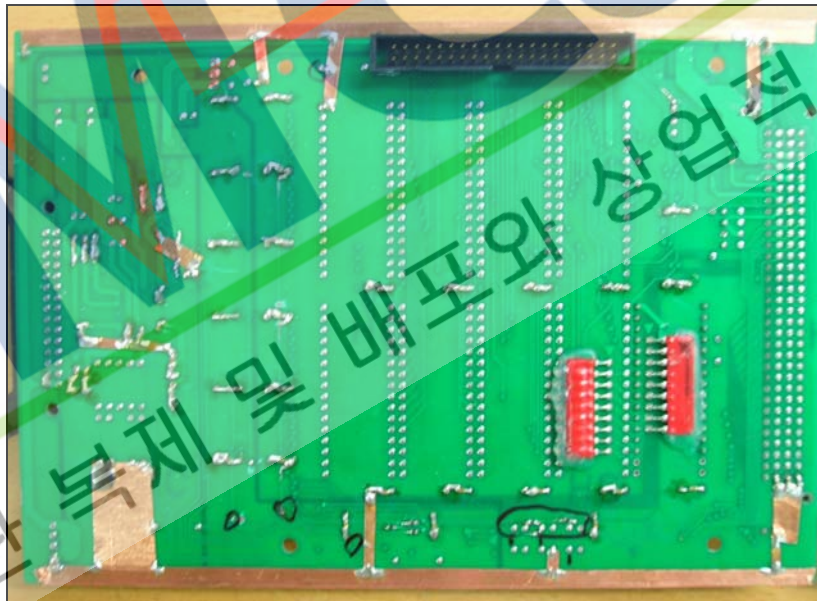


그림 57. 대책 후 PCM Board 후면



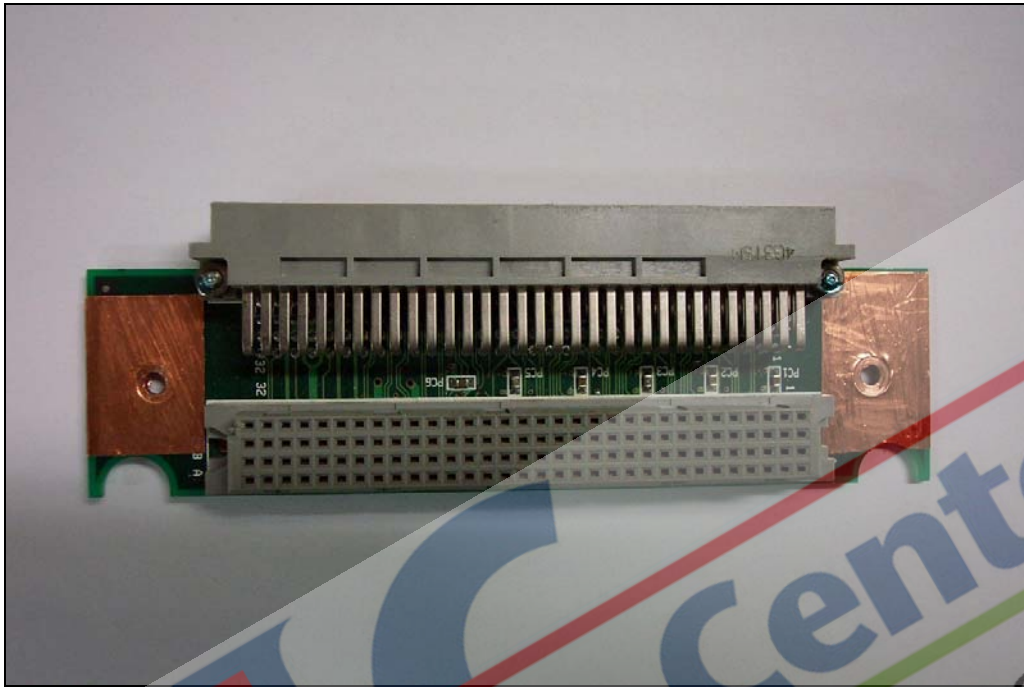


그림 58. 대책 후 Interface Board 정면



그림 59. 대책 후 Interface Board 후면



## 6. 시험에 따른 설계·대책 측정결과 및 분석

### 6.1 설계 · 대책 전, 후 데이터

#### - 대책전 데이터

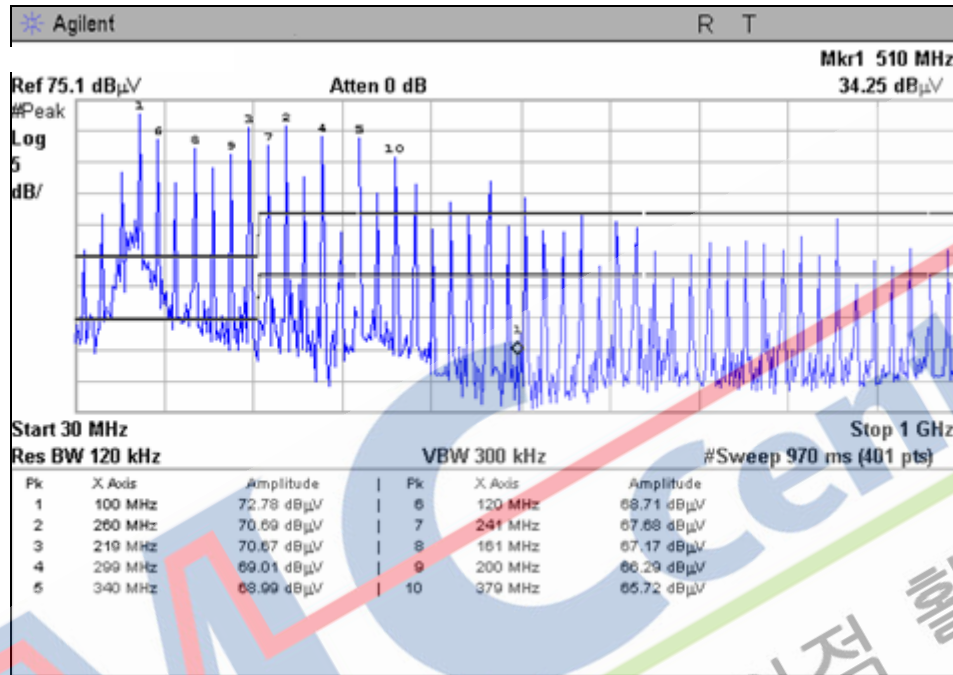


그림 60. 대책 전 데이터(수평)

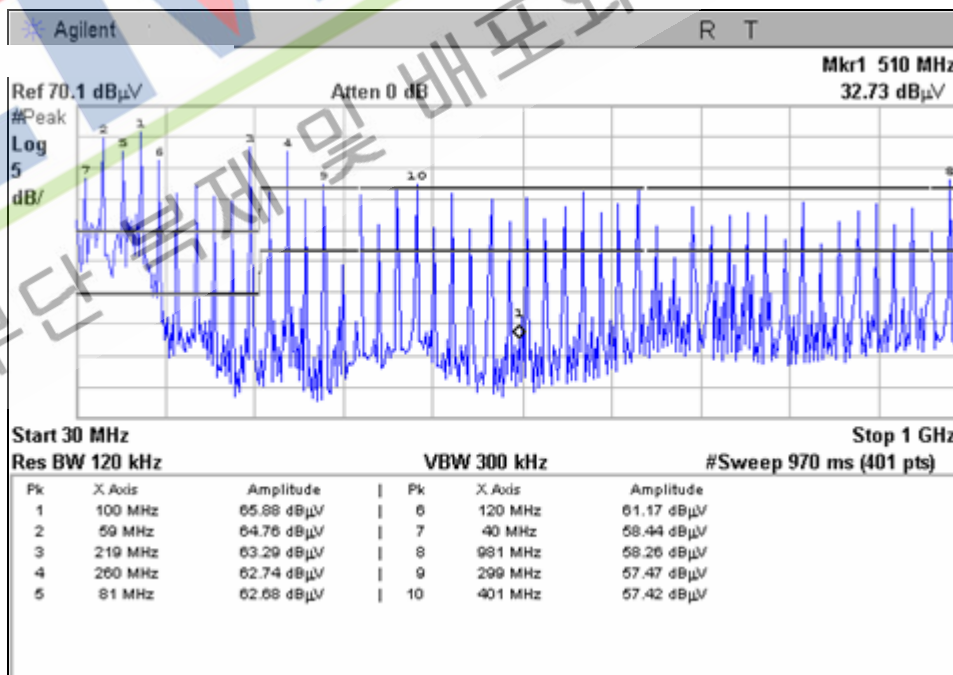


그림 61. 대책 전 데이터(수직)

- 대책 후 데이터

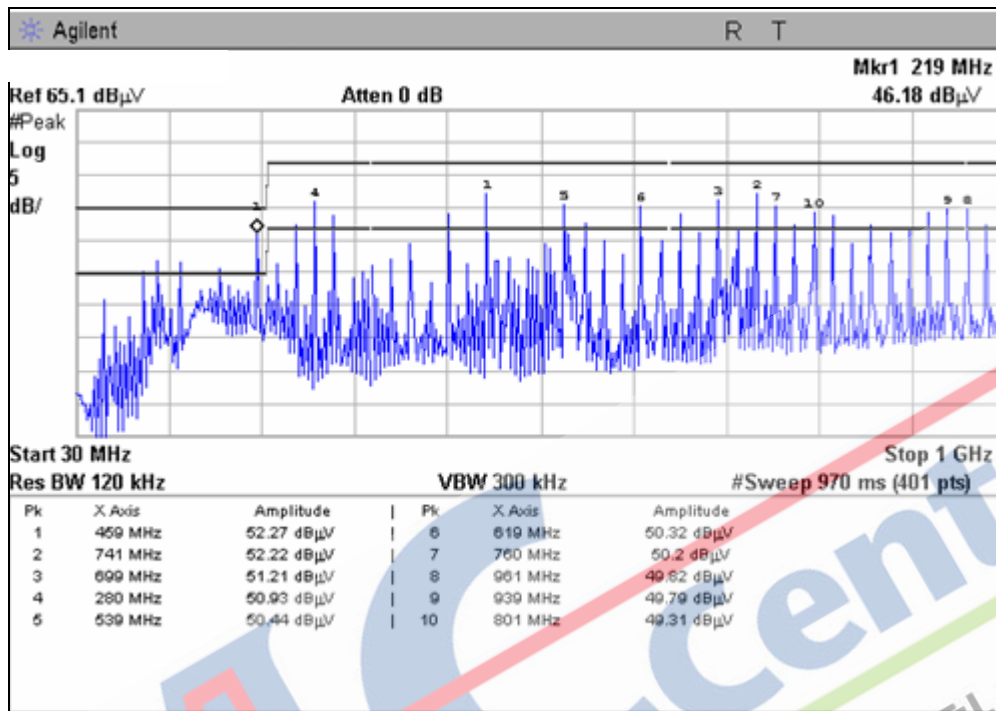


그림 62. 대책 후 데이터(수평)

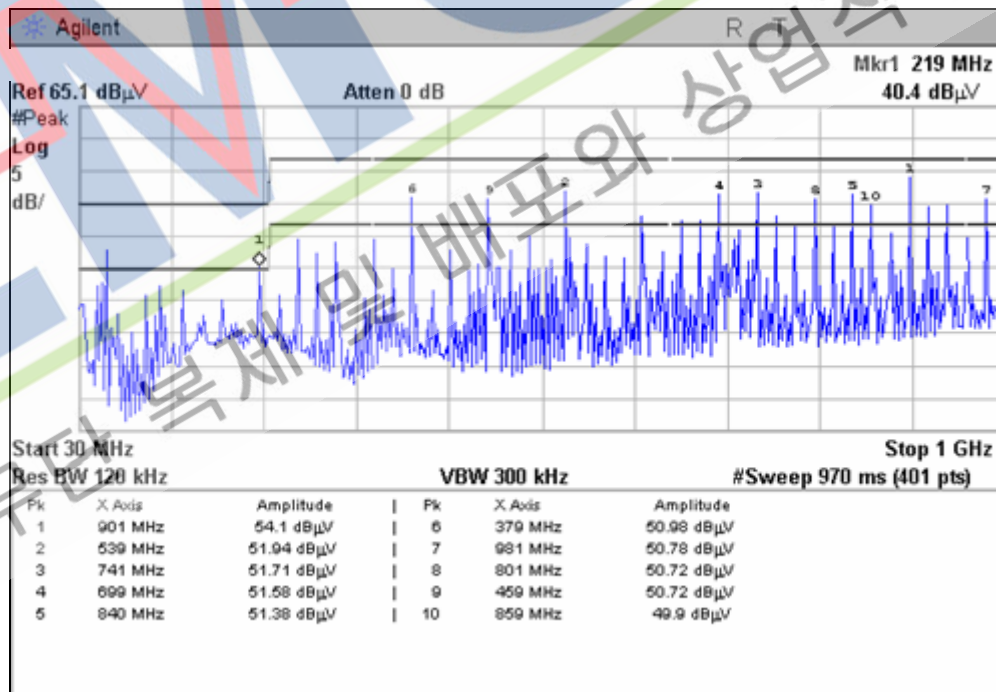


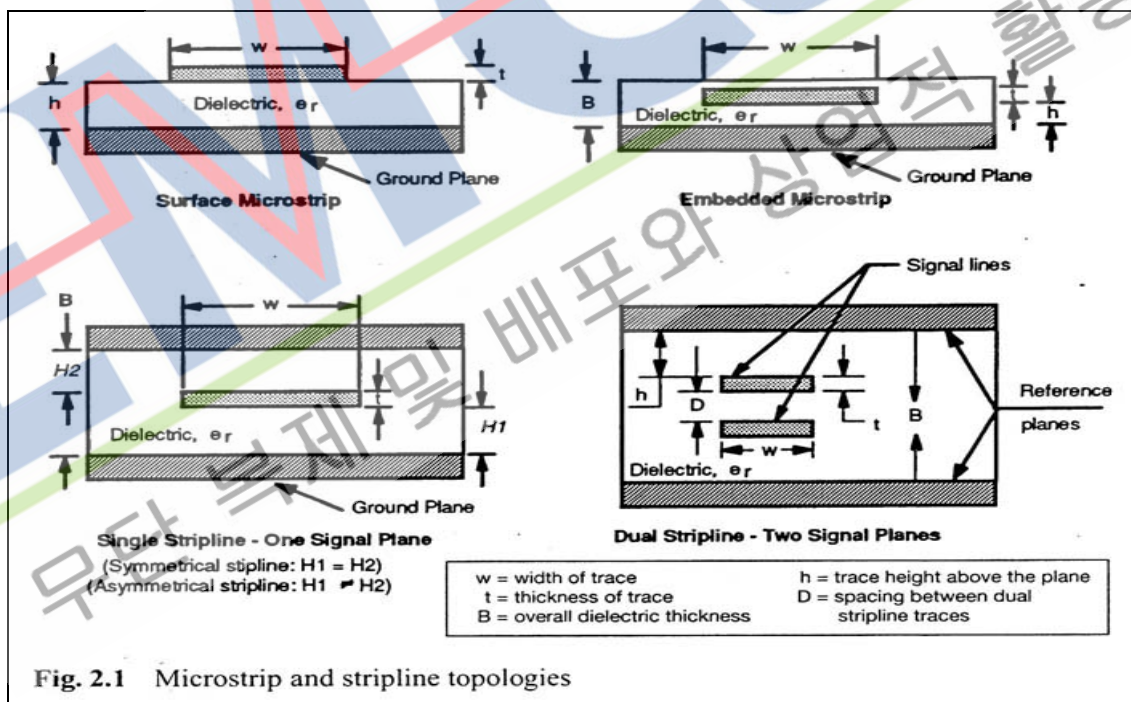
그림 63. 대책 후 데이터(수직)

최종 결과는 의뢰업체가 요구한대로 기능에 이상이 없고 3dB 이상 마진을 확보한 상태에서 Debugging이 완료되었다. 이 제품은 외부 Case를 충분히 활용하지 못하였고, PCB Pattern이 너무 길고, 중간 damping 저항이나 capacitor등이 전혀 없다는 것이다. 특히 이 제품의 Noise가 많이 발생하는 곳은 Main Board와 PCM Board 사이 연결 Pattern에서 많이 발생하고 있다. Pattern이 긴 곳에 damping 저항들을 넣어두고, PCM Board의 GND와 Case 간에 연결이 잘되어있다면, debugging 하는 시간은 훨씬 줄어들 것으로 본다.

## 7. 설계·대책 Design Rule

### 7.1 PCB Layer 구성 방법

- 1) 마이크로 스트립(신호 선이 한쪽 면만 동판에 접근해 있는 상태) 또는 스트립라인(신호 선이 양쪽 면 모두 동판에 접근해 있는 상태)중 어느 것을 사용할 것인지 결정





## 2) 사용할 층수를 결정

Table 2.1 Example of Stackup Assignment											Comments
Layer #	1	2	3	4	5	6	7	8	9	10	
2 layers	S1	S2									Lower-speed designs
	G	P									
4 layers (2 routing)	S1	G	P	S2							Difficult to maintain high signal impedance and low power impedance
6 layers (4 routing)	S1	G	S2	S3	P	S4					Lower-speed design, poor power high signal impedance
6 layers (4 routing)	S1	S2	G	P	S3	S4					Default critical signals to S2 only
6 layers (3 routing)	S1	G	S2	P	G	S3					Default lower-speed signals to S2-S3
8 layers (6 routing)	S1	S2	G	S3	S4	P	S5	S6			Default high-speed signals to S2-S3. It has poor power impedance
8 layers (4 routing)	S1	G	S2	G	P	S3	G	S4			Best for EMC
10 layers (6 routing)	S1	G	S2	S3	G	P	S4	S5	G	S6	Best for EMC. S4 is susceptible to power noise
S = signal routing layer, P = power, G = ground											

## 7.4 DESIGN Rule

Design Rule	내 용	비고																		
By-pass Cap. 사용	<p>1. By-pass cap.은 EMI 문제를 야기하는 주파수 대역 및 해당 Capacitor의 용량에 따른 공진주파수를 참조하여 설정한다.</p> <p>Table 3.1 Self-Resonant Frequencies of Capacitors with 0.25" Leads (Assume L = 15 nH/inch)</p> <table><thead><tr><th>Value</th><th>Resonant Frequency (MHz)</th></tr></thead><tbody><tr><td>1.0 <math>\mu</math>F</td><td>2.5</td></tr><tr><td>0.1 <math>\mu</math>F</td><td>5.0</td></tr><tr><td>0.01 <math>\mu</math>F</td><td>15</td></tr><tr><td>0.001 <math>\mu</math>F</td><td>50</td></tr><tr><td>500 pF</td><td>70</td></tr><tr><td>100 pF</td><td>150</td></tr><tr><td>50 pF</td><td>230</td></tr><tr><td>10 pF</td><td>500</td></tr></tbody></table>	Value	Resonant Frequency (MHz)	1.0 $\mu$ F	2.5	0.1 $\mu$ F	5.0	0.01 $\mu$ F	15	0.001 $\mu$ F	50	500 pF	70	100 pF	150	50 pF	230	10 pF	500	
Value	Resonant Frequency (MHz)																			
1.0 $\mu$ F	2.5																			
0.1 $\mu$ F	5.0																			
0.01 $\mu$ F	15																			
0.001 $\mu$ F	50																			
500 pF	70																			
100 pF	150																			
50 pF	230																			
10 pF	500																			
	<p>2. 단, 전원인 경우 큰 문제는 없지만 대책하여야 할 시그널 또는 클럭 주파수 또는 동기 주파수와 대책하여야 할 주파수 대역이 상이한 경우 좀더 신중히 용량값을 선정하여야 한다.</p>																			

Ferrite 부품 사용	<p>페라이트 부품의 선택: RF 에너지를 억제하기 위한 페라이트 부품의 선택 방법은 다음과 같다.</p> <p>(ㄱ) 회로에 존재하는 임피던스를 고려하여 페라이트 재료를 선택한다. (ㄴ) 동작하는 최적의 주파수 영역에서 페라이트 재료의 투자율 값을 결정한다. (ㄷ) 코아의 크기, 형상, 길이를 변화 시켜서 페라이트의 임피던스 값을 변화 시켜본다. (ㄹ) 온도가 올라가면 임피던스와 성능이 저하된다. (ㄴ) 과도한 전압 공급은(과도한 전류가 재료 안으로 흐른다) 임피던스가 감소하고,제 기능을 발휘하지 않을 때도 있다. (ㄷ) 그 부품으로 교류 또는 직류 중 어떤 전류가 흐르는지 결정하고, 원하는 신호의 과도한 감쇠가 일어날 수도 있다. (ㄹ) 비드 또는 코아의 임피던스를 증가 시키기 위하여 선의 감은 횟수를 증가 시켜본다.</p> <p><b>Table 8.1 Frequency Range of Ferrite Materials</b></p> <table><tr><th>Permeability</th><th>Frequencies Suppressed</th></tr><tr><td>2500 <math>\mu</math></td><td>30 MHz or below</td></tr><tr><td>850 <math>\mu</math></td><td>25 to 250 MHz</td></tr><tr><td>125 <math>\mu</math></td><td>200 MHz and above</td></tr></table>	Permeability	Frequencies Suppressed	2500 $\mu$	30 MHz or below	850 $\mu$	25 to 250 MHz	125 $\mu$	200 MHz and above																																																																																																					
Permeability	Frequencies Suppressed																																																																																																													
2500 $\mu$	30 MHz or below																																																																																																													
850 $\mu$	25 to 250 MHz																																																																																																													
125 $\mu$	200 MHz and above																																																																																																													
멀티 레이어 PCB에서의 적층 방법	<p><b>Table 2.1 Example of Stackup Assignment</b></p> <table><tr><th>Layer #</th><th>1</th><th>2</th><th>3</th><th>4</th><th>5</th><th>6</th><th>7</th><th>8</th><th>9</th><th>10</th><th>Comments</th></tr><tr><td>2 layers</td><td>S1 G</td><td>S2 P</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>Lower-speed designs</td></tr><tr><td>4 layers (2 routing)</td><td>S1</td><td>G</td><td>P</td><td>S2</td><td></td><td></td><td></td><td></td><td></td><td></td><td>Difficult to maintain high signal impedance and low power impedance</td></tr><tr><td>6 layers (4 routing)</td><td>S1</td><td>G</td><td>S2</td><td>S3</td><td>P</td><td>S4</td><td></td><td></td><td></td><td></td><td>Lower-speed design, poor power high signal impedance</td></tr><tr><td>6 layers (4 routing)</td><td>S1</td><td>S2</td><td>G</td><td>P</td><td>S3</td><td>S4</td><td></td><td></td><td></td><td></td><td>Default critical signals to S2 only</td></tr><tr><td>6 layers (3 routing)</td><td>S1</td><td>G</td><td>S2</td><td>P</td><td>G</td><td>S3</td><td></td><td></td><td></td><td></td><td>Default lower-speed signals to S2-S3</td></tr><tr><td>8 layers (6 routing)</td><td>S1</td><td>S2</td><td>G</td><td>S3</td><td>S4</td><td>P</td><td>S5</td><td>S6</td><td></td><td></td><td>Default high-speed signals to S2-S3. It has poor power impedance</td></tr><tr><td>8 layers (4 routing)</td><td>S1</td><td>G</td><td>S2</td><td>G</td><td>P</td><td>S3</td><td>G</td><td>S4</td><td></td><td></td><td>Best for EMC</td></tr><tr><td>10 layers (6 routing)</td><td>S1</td><td>G</td><td>S2</td><td>S3</td><td>G</td><td>P</td><td>S4</td><td>S5</td><td>G</td><td>S6</td><td>Best for EMC. S4 is susceptible to power noise</td></tr></table> <p>S = signal routing layer, P = power, G = ground</p>	Layer #	1	2	3	4	5	6	7	8	9	10	Comments	2 layers	S1 G	S2 P									Lower-speed designs	4 layers (2 routing)	S1	G	P	S2							Difficult to maintain high signal impedance and low power impedance	6 layers (4 routing)	S1	G	S2	S3	P	S4					Lower-speed design, poor power high signal impedance	6 layers (4 routing)	S1	S2	G	P	S3	S4					Default critical signals to S2 only	6 layers (3 routing)	S1	G	S2	P	G	S3					Default lower-speed signals to S2-S3	8 layers (6 routing)	S1	S2	G	S3	S4	P	S5	S6			Default high-speed signals to S2-S3. It has poor power impedance	8 layers (4 routing)	S1	G	S2	G	P	S3	G	S4			Best for EMC	10 layers (6 routing)	S1	G	S2	S3	G	P	S4	S5	G	S6	Best for EMC. S4 is susceptible to power noise	
Layer #	1	2	3	4	5	6	7	8	9	10	Comments																																																																																																			
2 layers	S1 G	S2 P									Lower-speed designs																																																																																																			
4 layers (2 routing)	S1	G	P	S2							Difficult to maintain high signal impedance and low power impedance																																																																																																			
6 layers (4 routing)	S1	G	S2	S3	P	S4					Lower-speed design, poor power high signal impedance																																																																																																			
6 layers (4 routing)	S1	S2	G	P	S3	S4					Default critical signals to S2 only																																																																																																			
6 layers (3 routing)	S1	G	S2	P	G	S3					Default lower-speed signals to S2-S3																																																																																																			
8 layers (6 routing)	S1	S2	G	S3	S4	P	S5	S6			Default high-speed signals to S2-S3. It has poor power impedance																																																																																																			
8 layers (4 routing)	S1	G	S2	G	P	S3	G	S4			Best for EMC																																																																																																			
10 layers (6 routing)	S1	G	S2	S3	G	P	S4	S5	G	S6	Best for EMC. S4 is susceptible to power noise																																																																																																			
Common-mode choke Filter의 사용	<p>Common-mode Filter는 사용되어지는 위치 주변 또는 filter 밑면에 그라운드나 전원 또는 시그널 라인이 지나가지 않도록하며, 1, 2차 회로 구분을 filter를 중심으로 명확히 구분되도록 설계해야만 filter의 효과를 극대화 할 수 있다.</p>																																																																																																													



## 8. 종합적인 기술지원 내용 분석

기존 EMI, Burst에서 Fail이었지만, 회로적 보완과 기구적 보완으로, EMI에서는 3dB 이상 마진이 있고, Burst에서는 전혀 문제가 없는 상태가 되었다. 이 제품은 외부 Case가 잘되어 있고, 동작 주파수가 높지 않고, 부품에 비해 보드 사이즈가 작지 않다. 그래서 각 Signal 마다 damping 저항을 달아 두었다면, 대책하는 시간이 반 이상 줄어들 것으로 본다.

## 9. 향후 제품설계에 반영되어야 할 방향

이 제품은 일본에서 PCB가 들어오는 것으로 일본에 적극적으로 회로적인 보완을 요구할 필요가 있다. 많은 비용이 드는 것이 아니고, 회로적 대책할 공간도 충분하다고 생각되기 때문에 반드시 회로적 수정을 요구 하고, 앞에서 설명하였듯이 약간의 기구적 수정만 있다면, 다음제품에서는 큰 수정 없이 인증을 할 수 있다고 생각합니다.